

OpenCores VGA core の DE0 用設計データの使い方 (2014/04/23)

ファイル一覧

- ・ *.v Verilog-HDL 記述 (nios2_vga_ap.v トップ回路)
- ・ *vhd VHDL 記述
- ・ nios2_vga_ap.qsys Qsys 設定ファイル
- ・ avalon2wb_hw.tcl avalon2wb.v 組み込み用 TCL コマンド
- ・ nios2_vga_ap.qsf ピン配置指定
- ・ svga_sw1.c サンプル C ソース
- ・ nios2_vga_ap.sof sof ファイル、このファイルを FPGA へ書き込むことでも動作確認できます。

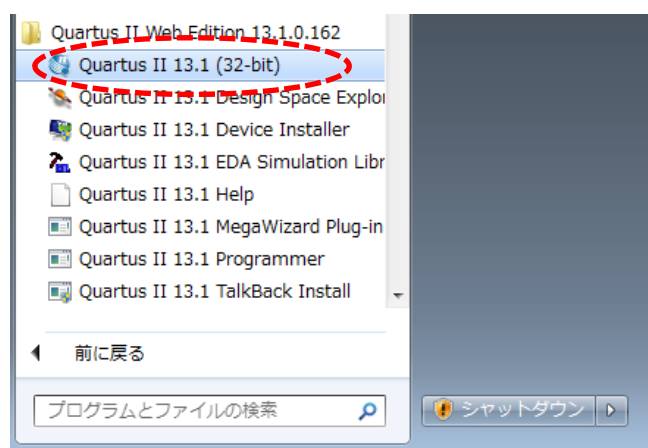
免責事項

本データの使用が原因として発生した損失や損害について、(有) ひまわり および 著作者は一切責任を負いません。著作者：横溝憲治 fpga@hmwr-lsi.co.jp

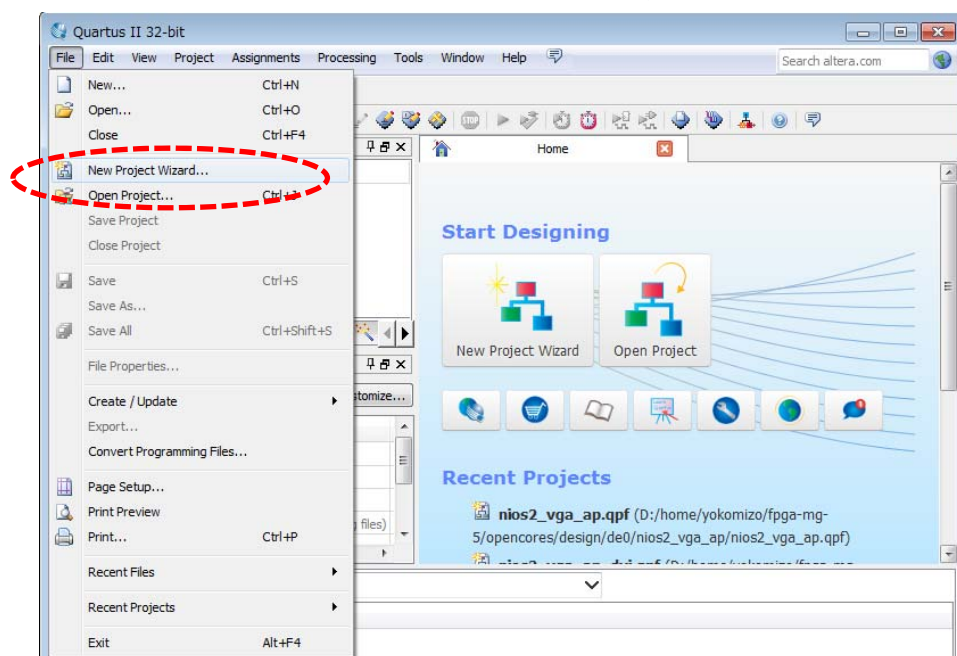
設計手順

- ・ 設計用フォルダとして nios2_vga_ap を作成する
- ・ 記事のダウンロードデータを解凍した vga_core_data_de0 の下にあるファイルを nios2_vga_ap へコピーする
- ・ VGA core のデータを OpenCores のサイト (http://opencores.org/project,vga_lcd) からダウンロード
- ・ ダウンロードした vga_lcd_latest.tar.gz を解凍する
- ・ 解凍データの vga_lcd/trunk/rtl/verilog の下にある Verilog-HDL ソースを nios2_vga_ap へコピー
- ・ simple_gpio のデータを OpenCores のサイト (http://opencores.org/project,simple_gpio) からダウンロード
- ・ ダウンロードした simple_gpio_latest.tar.gz を解凍する
- ・ 解凍データの simple_gpio/trunk/rtl の下にある Verilog-HDL ソースを nios2_vag_ap へコピー
- ・ Quartus II を起動します。

スタートメニューから「Quartus II Web Edition 13.1...」→「Quartus II 13.1(32bit)」を起動する。

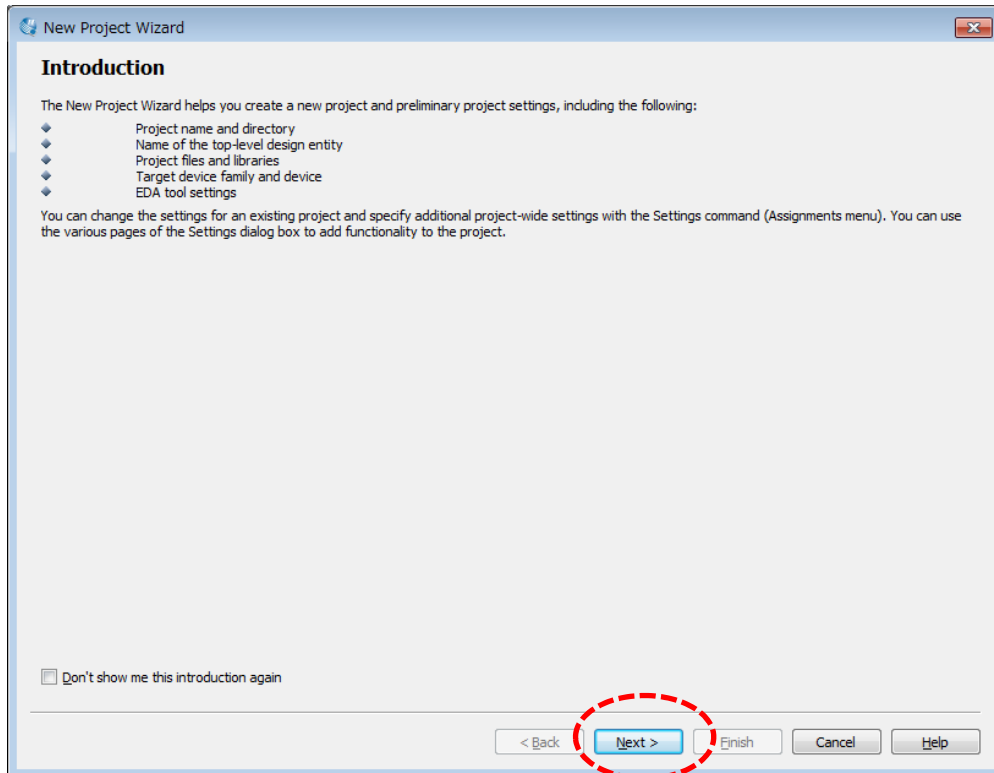


・新規設計プロジェクト作成する

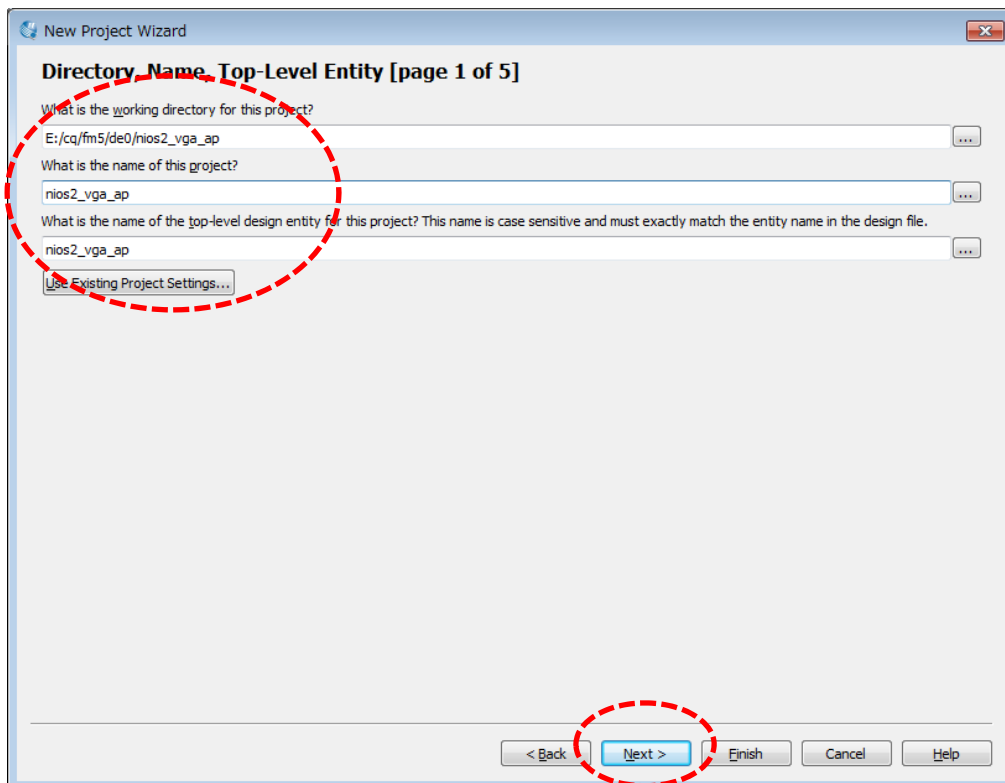


New ProjectWizard をクリック



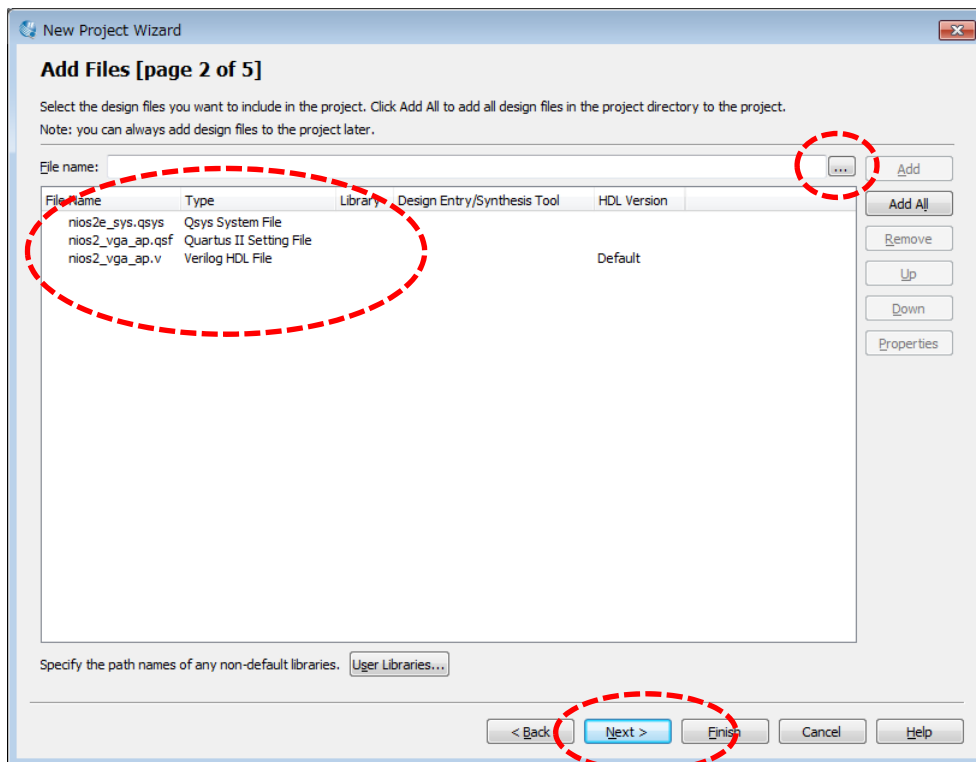


NEXT をクリック

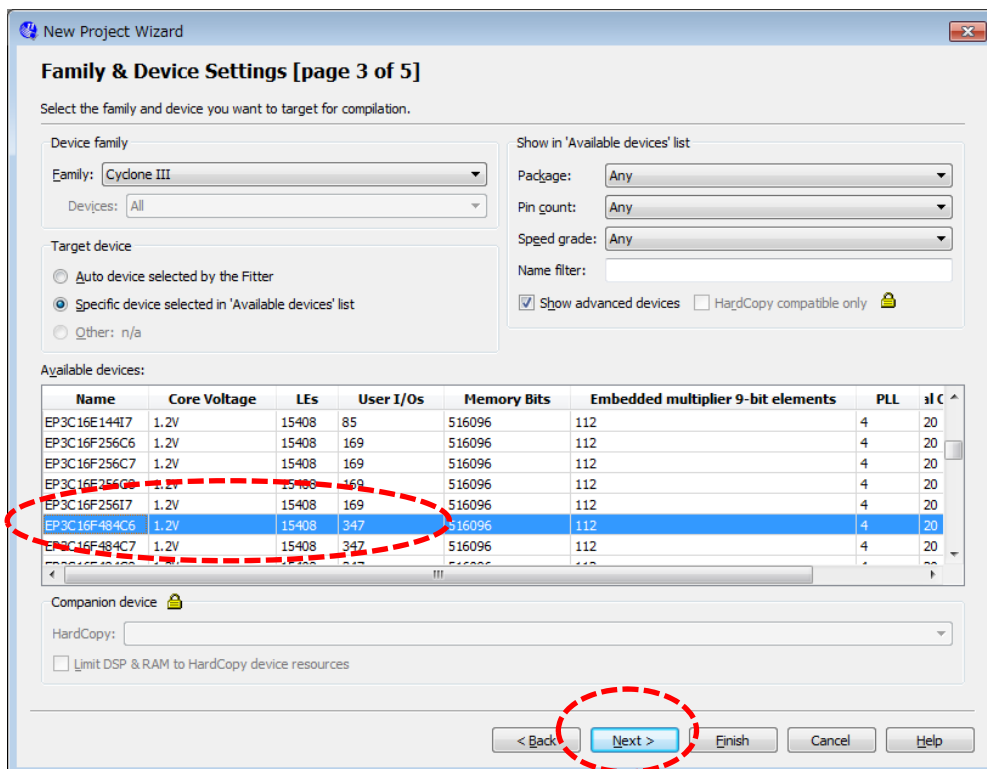


設計フォルダ : [任意]/nios2_vga_ap、プロジェクト名 : nios2_vga_ap を指定





nios2_vga_ap.v, nios2_vga_ap.qsf, nios2e_sys.qsys 設計データの追加



デバイスの指定、DE0 (EP3CF484C6) に合わせる



New Project Wizard

EDA Tool Settings [page 4 of 5]

Specify the other EDA tools used with the Quartus II software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Formal Verification	<None>		
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back **Next >** Finish Cancel Help



New Project Wizard

Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory: E:/cq/fm5/de0/nios2_vga_ap

Project name: nios2_vga_ap

Top-level design entity: nios2_vga_ap

Number of files added: 3

Number of user libraries added: 0

Device assignments:

Family name: Cyclone III

Device: EP3C16F484C6

EDA tools:

Design entry/synthesis: <None> (<None>)

Simulation: ModelSim-Altera (Verilog HDL)

Timing analysis: 0

Operating conditions:

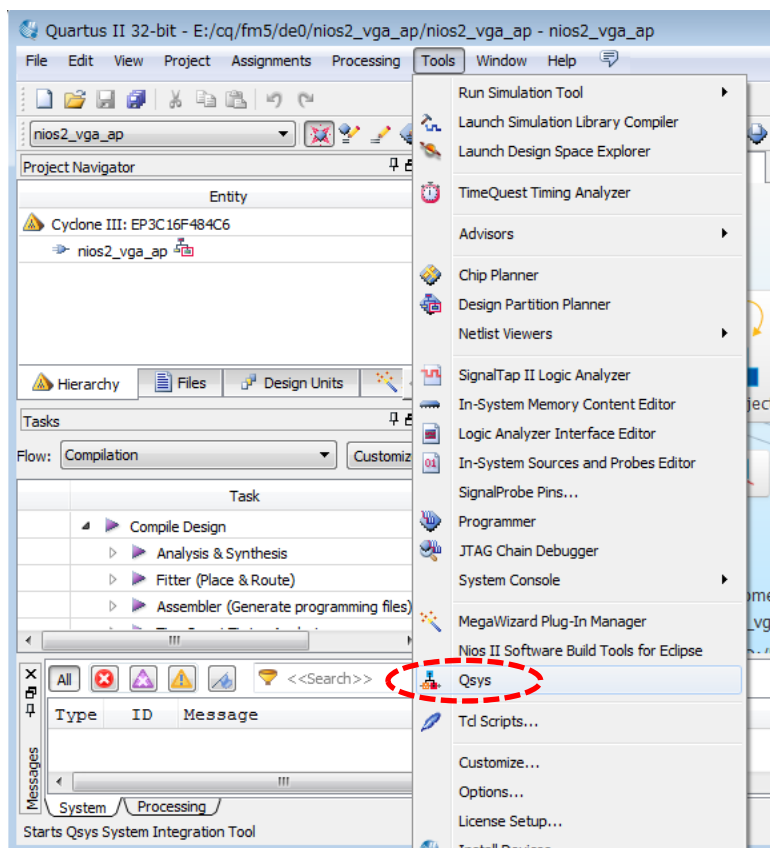
VCCINT voltage: 1.2V

Junction temperature range: 0-85 °C

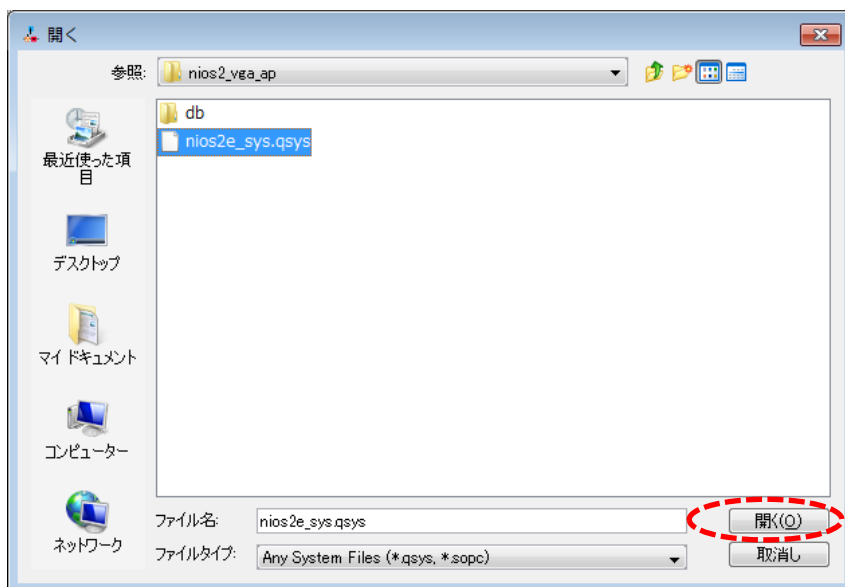
< Back Next > **Finish** Cancel Help

Finish をクリックでプロジェクトが作成される



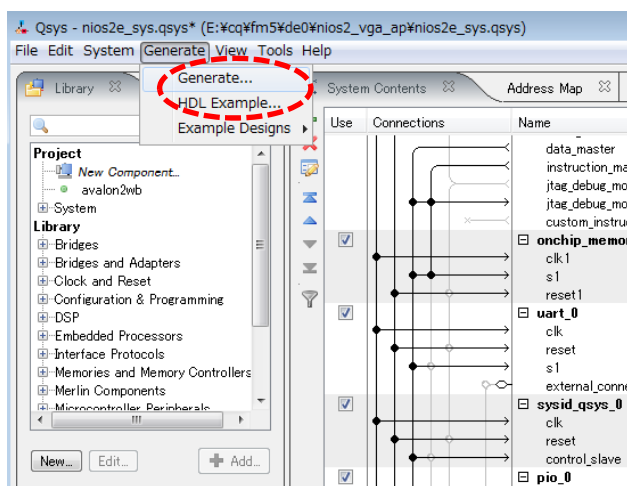
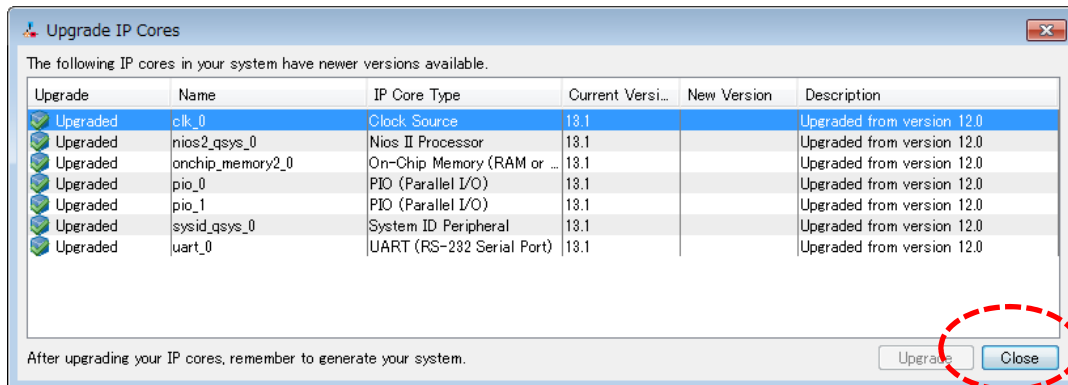
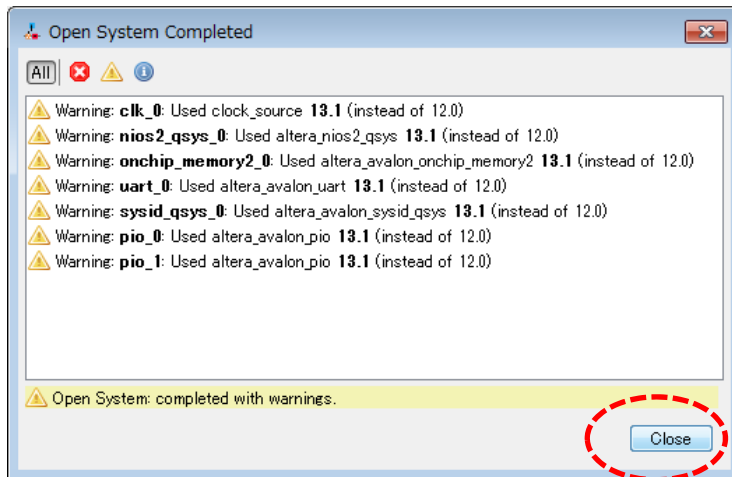


Qsys を起動、Tools→Qsys 選択



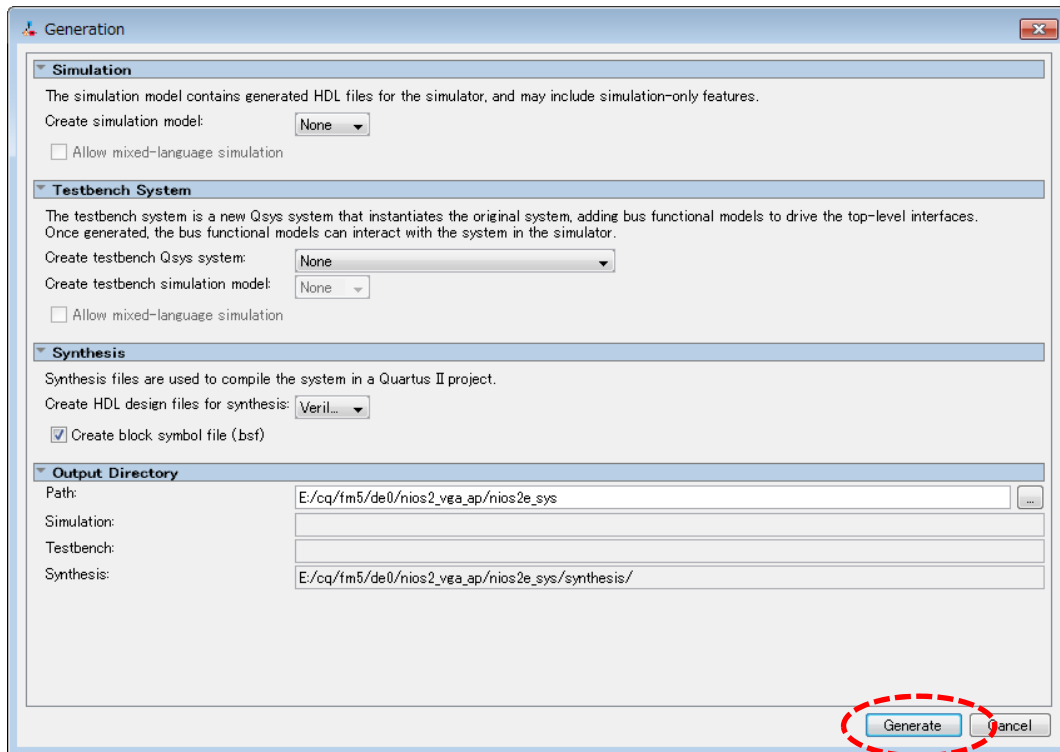
nios2_sys.qsys を指定



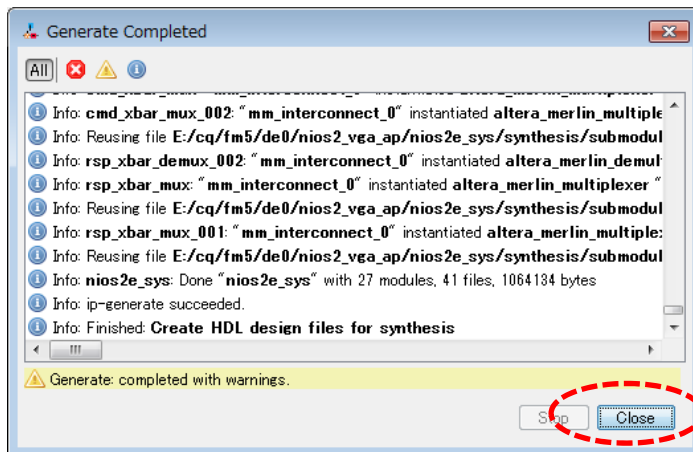


Generate を選択



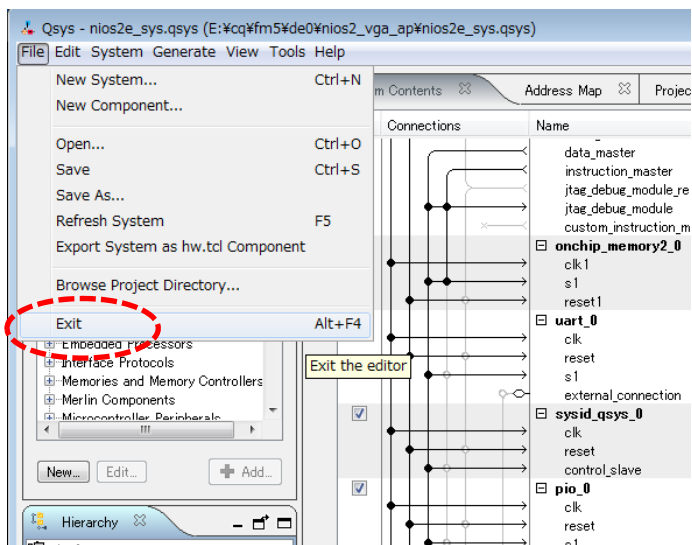


Generate を選択



暫く待つと作成完了、Close を選択

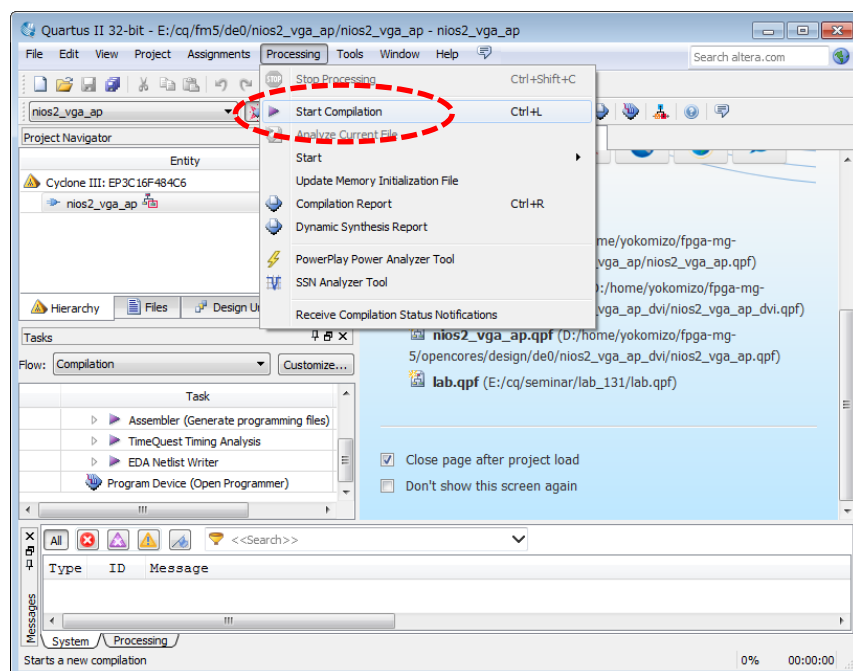




Qsys を終了



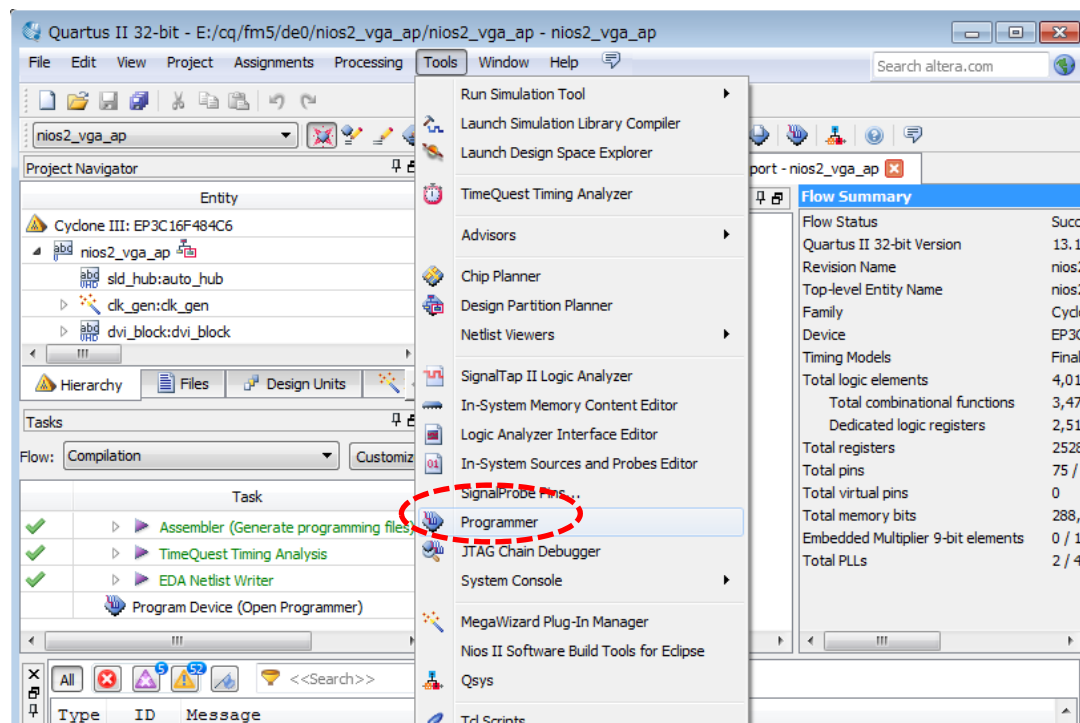
Quartus IIに戻る



コンパイルを実施、Processing→Start Compilation

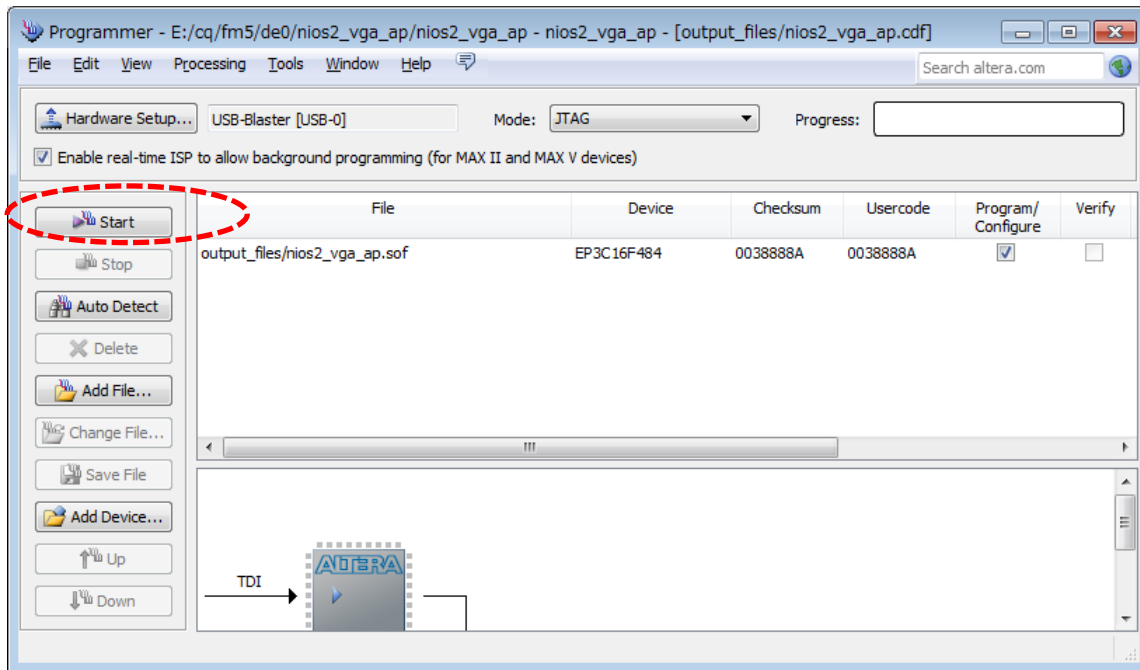


DE0 に拡張ボードに搭載し、プログラミング用 USB と UART 用 USB をそれぞれ PC の USB ポートに接続します。拡張ボードの HDMI 端子とディスプレイを接続します。

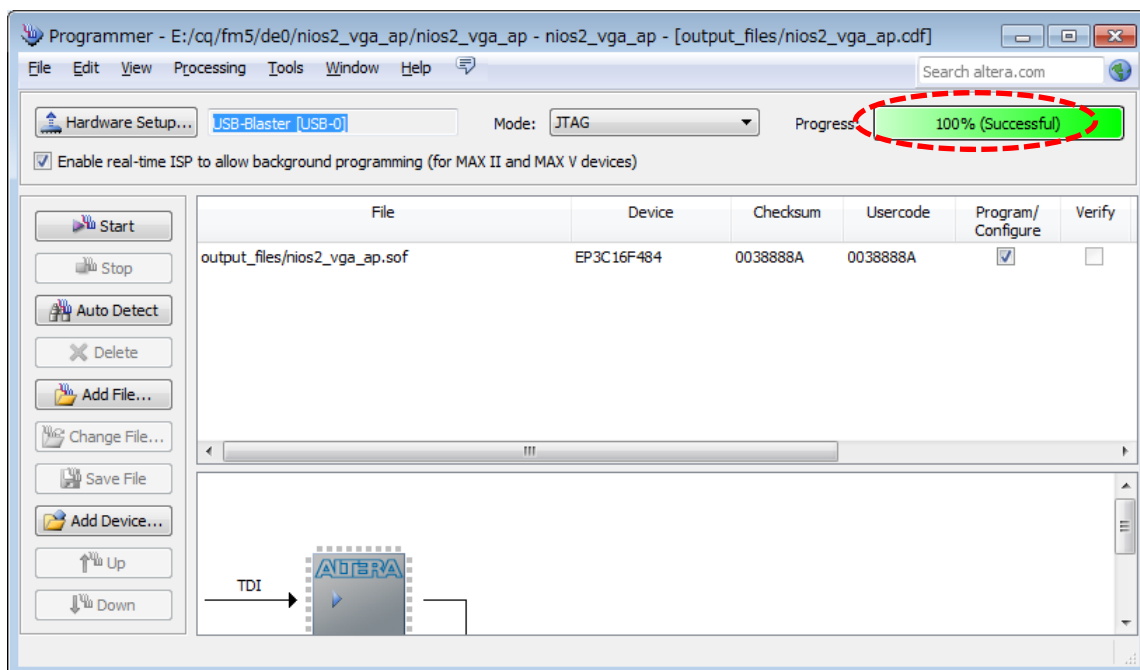


プログラムの起動、Tools→Programmer 選択



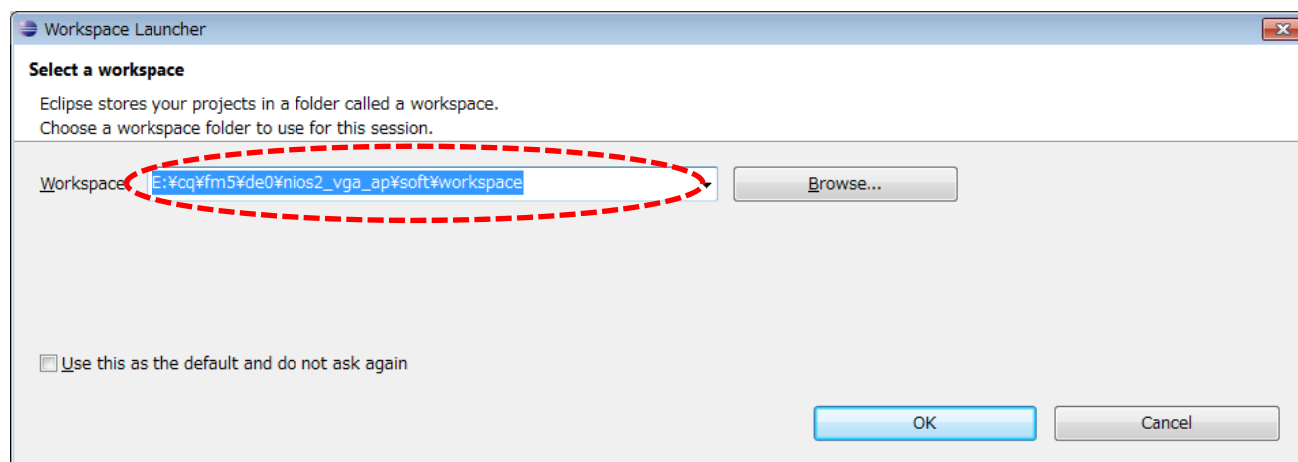
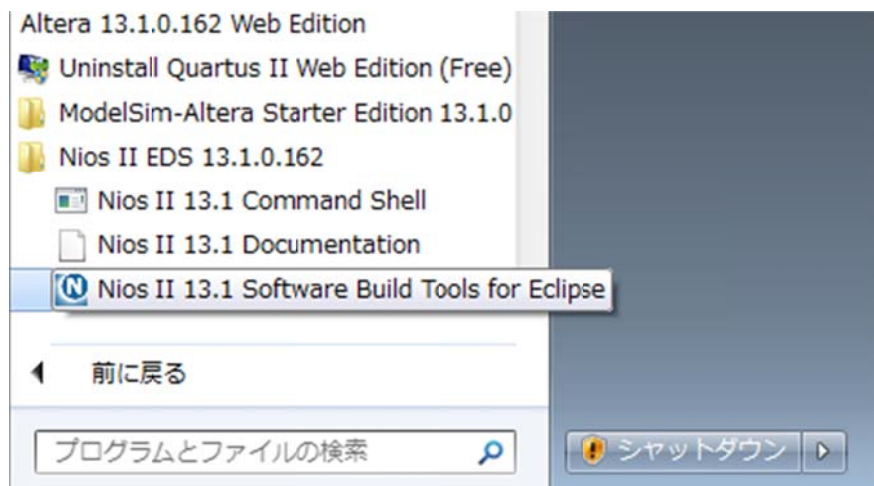


FPGA に回路データ書き込み



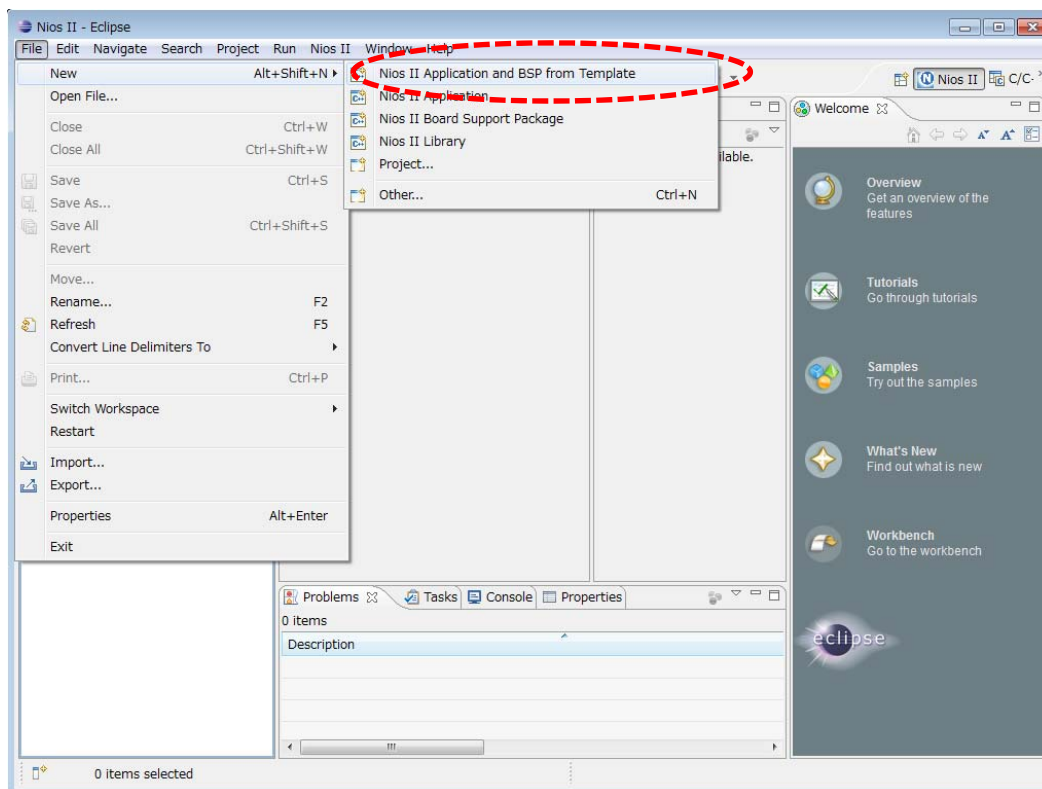
100% (Successful) と表示されれば書き込み完了

- ・次に Nios II EDS (Nios II Software Build Tools) でソフトウェアを作ります。
- スタートメニューから「Altera 13.1...」→「Nios II EDS 13.1...」→「Nios II 13.1 Software Build Tools for Eclipse」を管理者として実行してください。
- 管理者として実行しないとソフトウェアプロジェクトを作成でエラーになる場合があります。

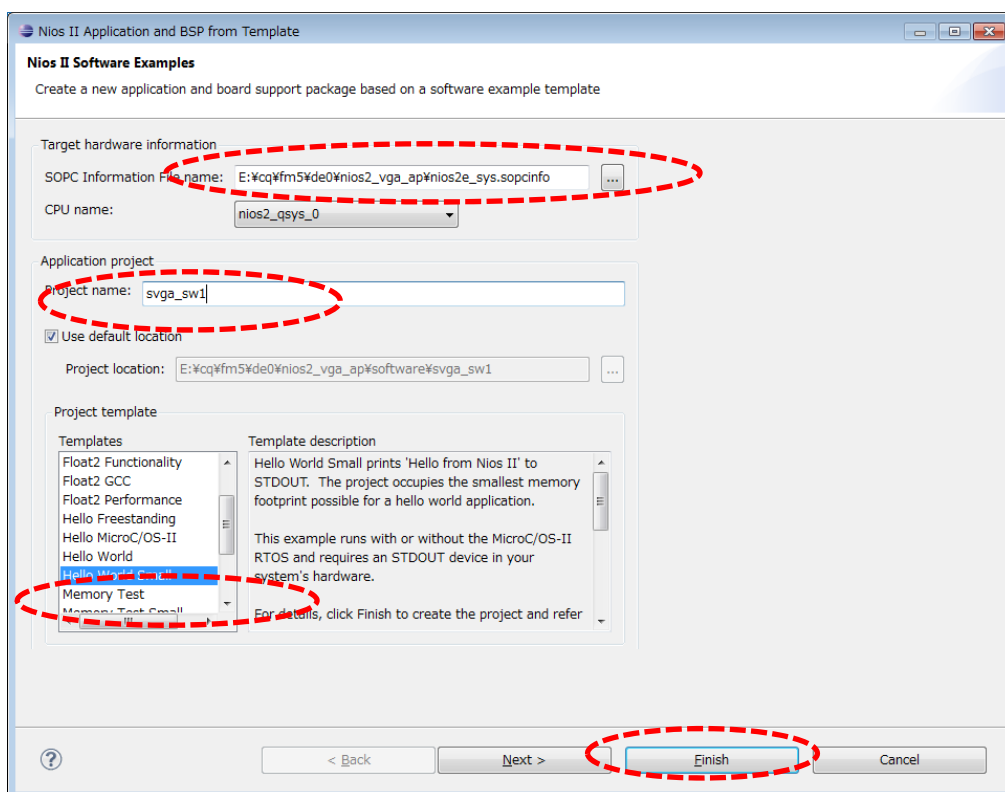


EDS が起動するとワークスペースを指定が要求されます。設計フォルダ/soft/workspace を設定





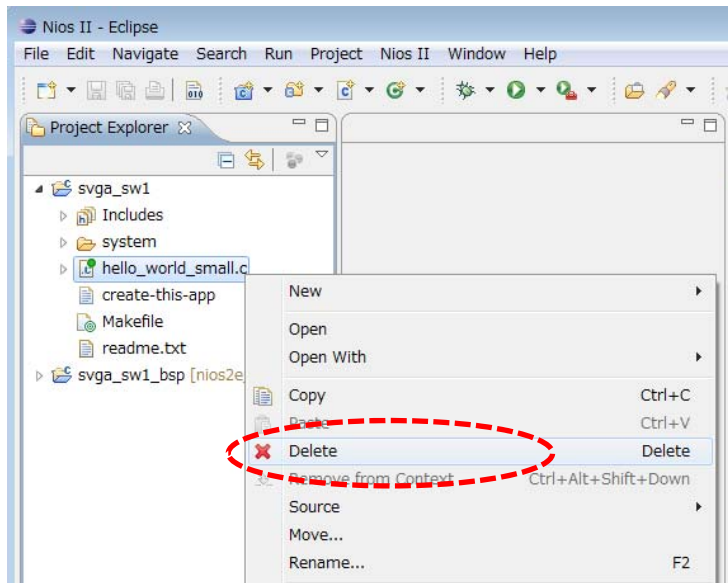
新規のソフトウェアプロジェクト作成、File→New→NiosII Application and BSP from Template



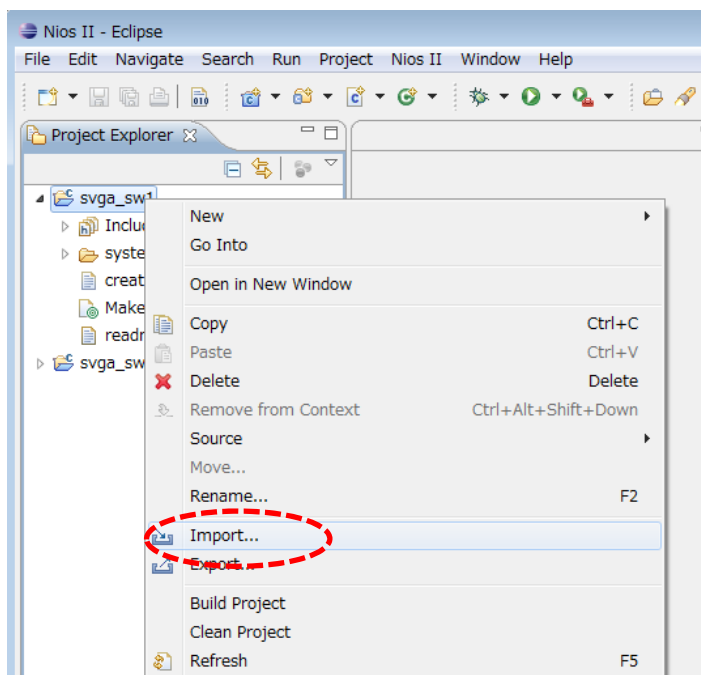
sopc ファイル(nios2e_sys.sopinfo)、プロジェクト名指定(svg_sw1)

Finish をクリックでソフトウェアプロジェクトが作成される

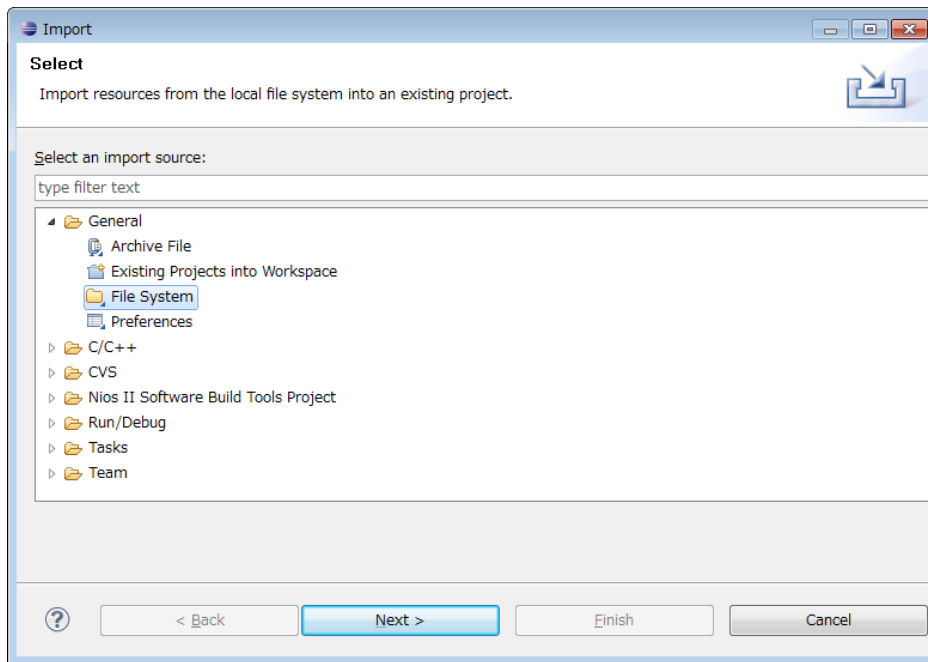




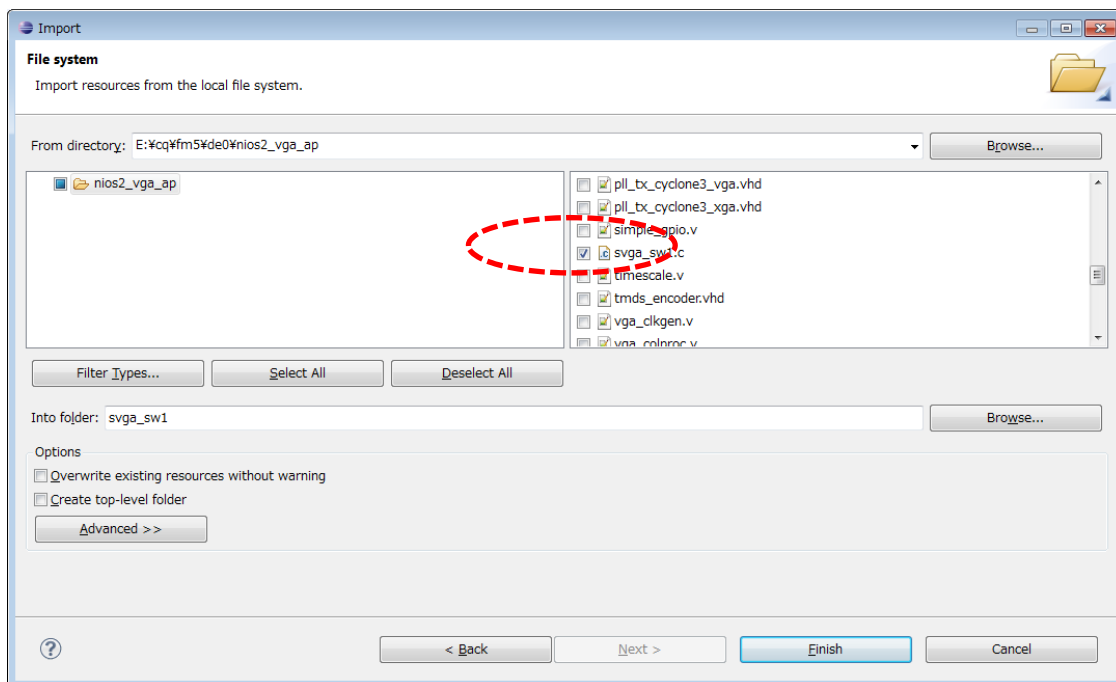
svgasw1 にある Hello_world_small.c の上でマウスの右ボタンを押して Delete を選択して、削除



de0_sd_card_sw1 の上でマウスの右ボタンを押して Import を選択

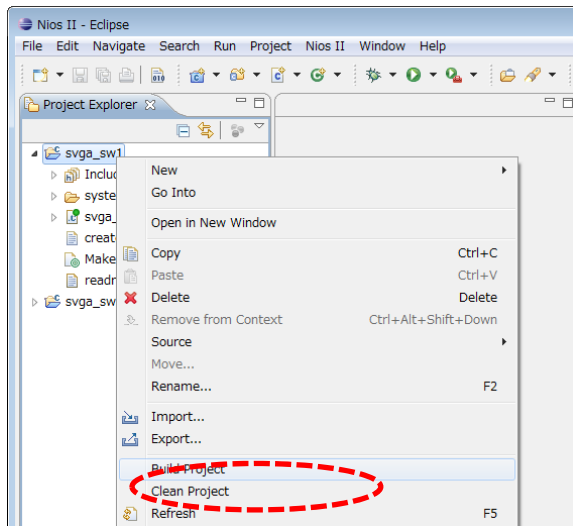


General→File System 選択

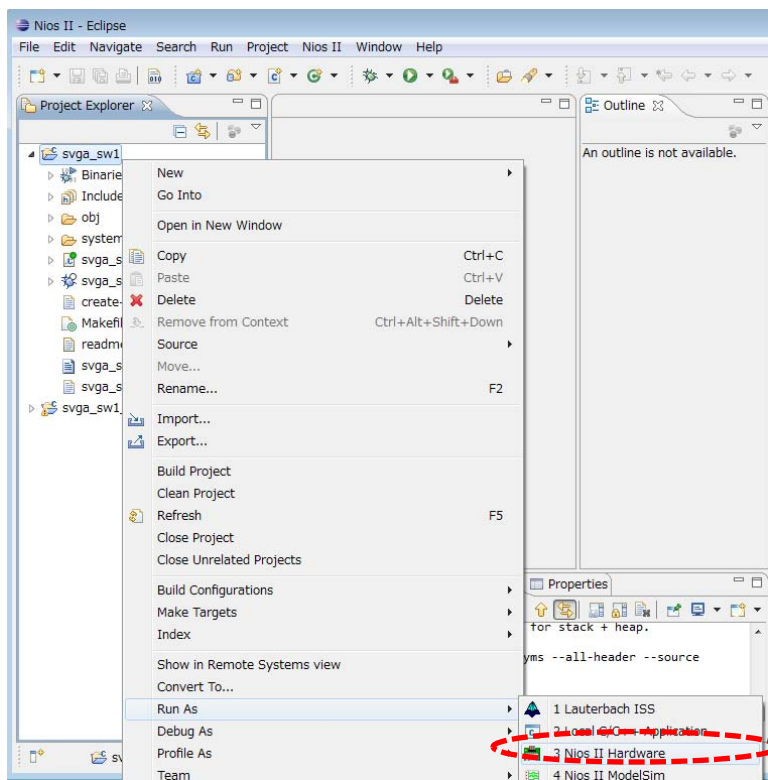


解凍データの svga_sw1.c を選択





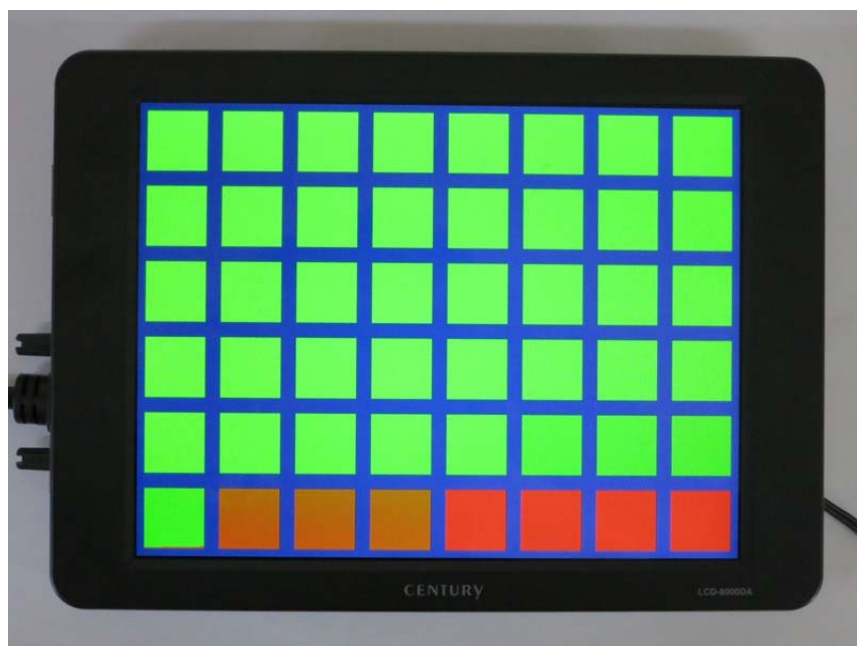
ビルドを実行



DE0 でソフトウェア実行、svga_sw1 上でマウス右ボタンを押す→Run As → NiosII Hardware
ソフトウェアの実行ファイルが書き込まれると DE0 が起動する。



プログラムで作成したマス目模様が HDMI で接続したモニタに表示されます。



以上で動作確認終了です。