

FPGA マガジン NO.9

「音源チップ AY-3-8910 互換 IP コアを試してみる」の DE0 用設計データの使い方 (2015/4/22)

ファイル一覧

- ・ *.v Verilog-HDL の回路記述 (トップ回路は sqm_nios2.v)
- ・ sqm_nios2.qsf ピン配置指定
- ・ nios2_do.c “ド” を鳴らすサンプル C プログラム
- ・ nios2_kaeru.c カエルの合唱のサンプル C プログラム
- ・ sqm_nios2.sof sof ファイル、このファイルを FPGA へ書き込むことでも動作確認できます。

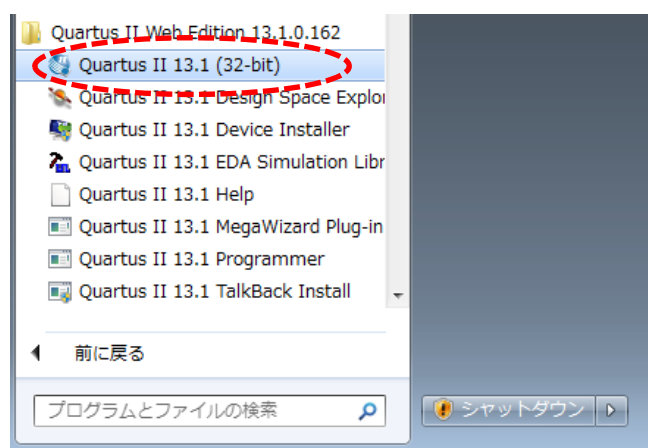
免責事項

本データの使用が原因として発生した損失や損害について、 著作者は一切責任を負いません。著作者：横溝憲治 fpga@hmwr-lsi.co.jp

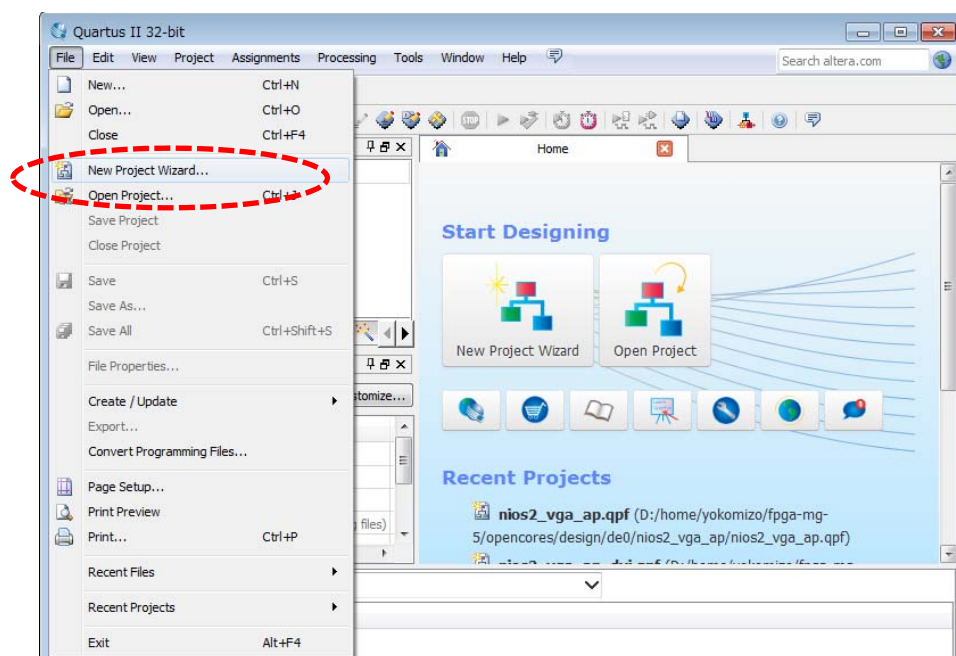
設計手順

- ・ 設計用フォルダとして sqm_nios2 を作成する
- ・ 記事のダウンロードデータを解凍した sqm_nios2_data の下にあるファイルを sqm_nios2 へコピーする
- ・ AY_3_8910_capcom のデータを CopenCores のサイト (<http://opencores.org/project,sqmusic>) からダウンロード
- ・ ダウンロードした sqmusic_latest.tar.gz を解凍する
- ・ 解凍データの sqmusic/trunk/sqm の下にある Verilog-HDL ソースを sqm_nios2/sqm へコピー
- ・ Quartus II を起動します。

スタートメニューから「Quartus II Web Edition 13.1...」→「Quartus II 13.1(32bit)」を起動する。

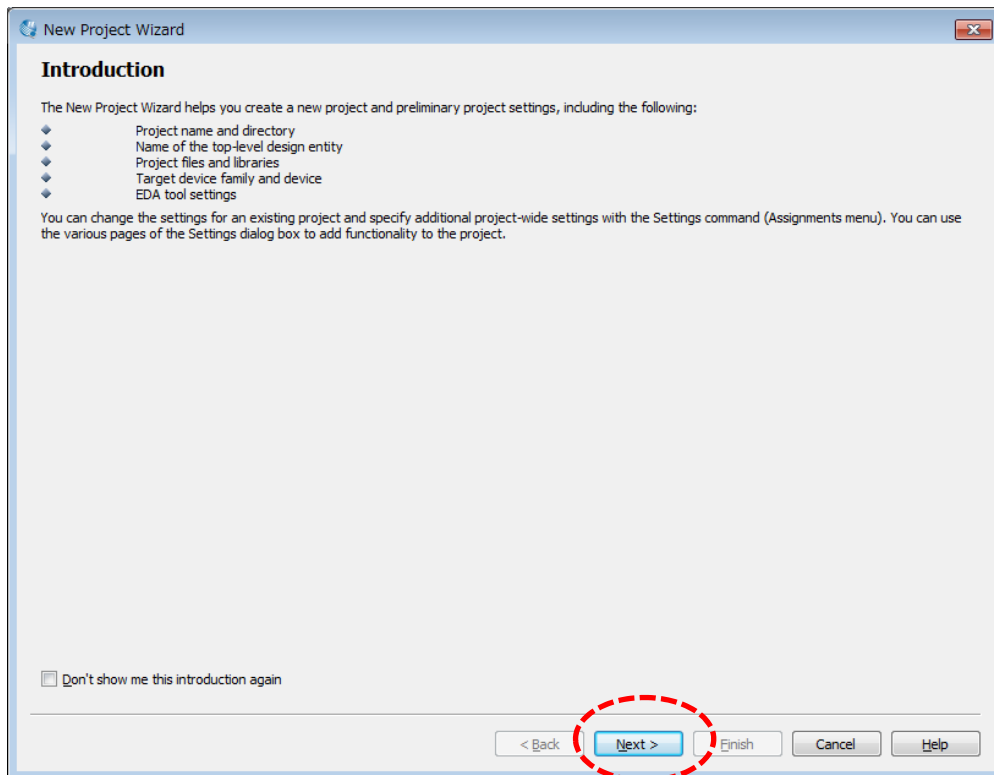


・新規設計プロジェクト作成する

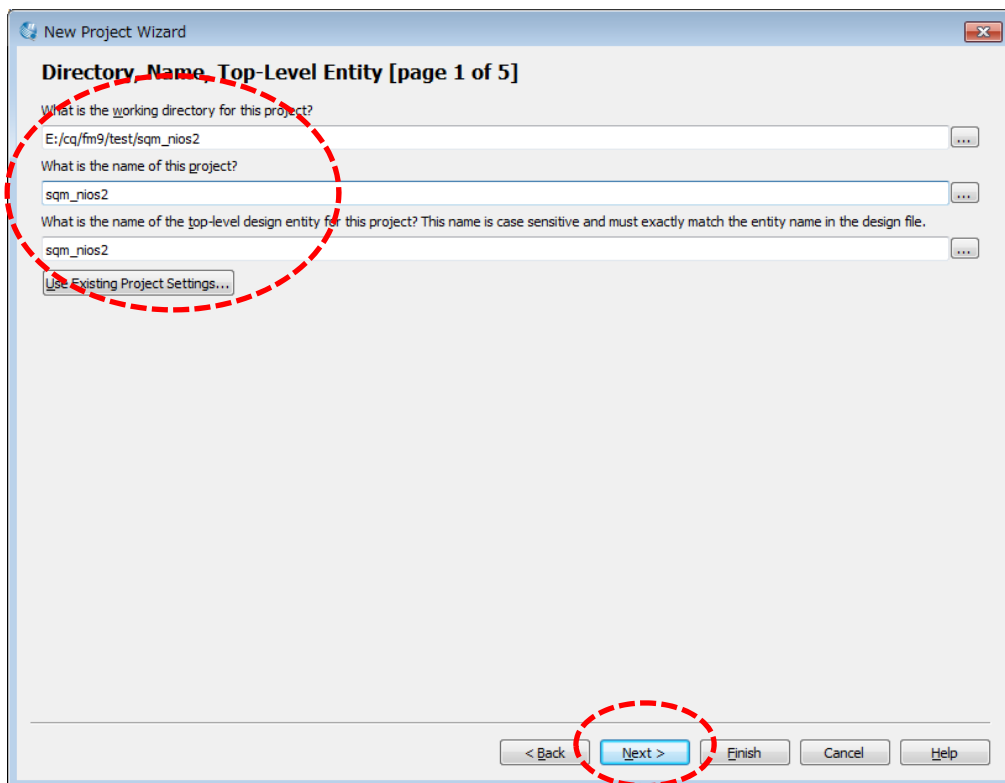


New ProjectWizard をクリック



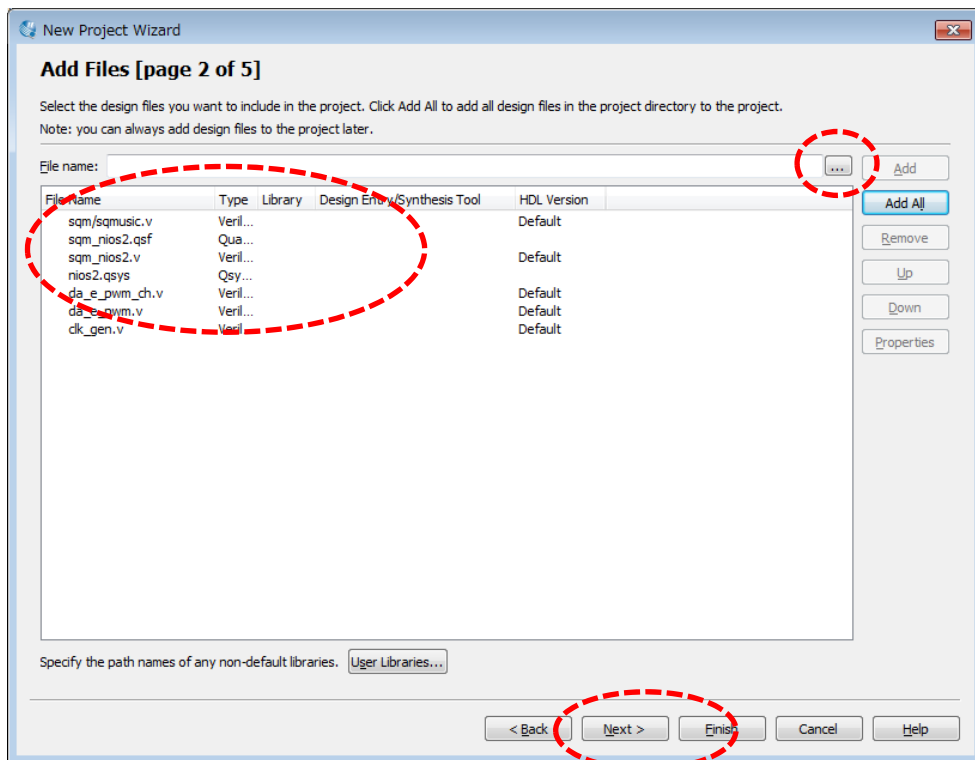


NEXT をクリック

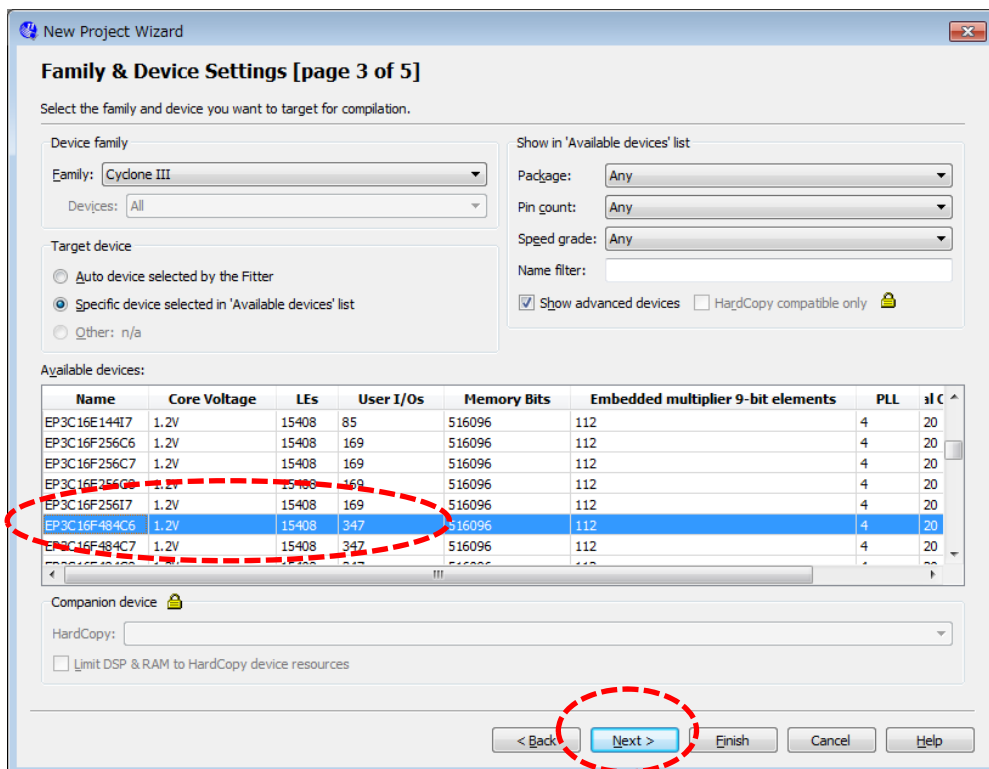


設計フォルダ : [任意]/sqm_nios2、プロジェクト名 : sqm_nios2 を指定





*.v, sqm_nios2.qsf, nios2.qsys, sqm/sqmusic.v を 設計データの追加



デバイスの指定、DE0 (EP3CF484C6) に合わせる



New Project Wizard

EDA Tool Settings [page 4 of 5]

Specify the other EDA tools used with the Quartus II software to develop your project.

EDA tools:

Tool Type	Tool Name	Format(s)	Run Tool Automatically
Design Entry/Synthesis	<None>	<None>	<input type="checkbox"/> Run this tool automatically to synthesize the current design
Simulation	<None>	<None>	<input type="checkbox"/> Run gate-level simulation automatically after compilation
Formal Verification	<None>		
Board-Level	Timing	<None>	
	Symbol	<None>	
	Signal Integrity	<None>	
	Boundary Scan	<None>	

< Back **Next >** Finish Cancel Help



New Project Wizard

Summary [page 5 of 5]

When you click Finish, the project will be created with the following settings:

Project directory: E:/cq/fm9/test/sqm_nios2

Project name: sqm_nios2

Top-level design entity: sqm_nios2

Number of files added: 7

Number of user libraries added: 0

Device assignments:

Family name: Cyclone III

Device: EP3C16F484C6

EDA tools:

Design entry/synthesis: <None> (<None>)

Simulation: ModelSim-Altera (VHDL)

Timing analysis: 0

Operating conditions:

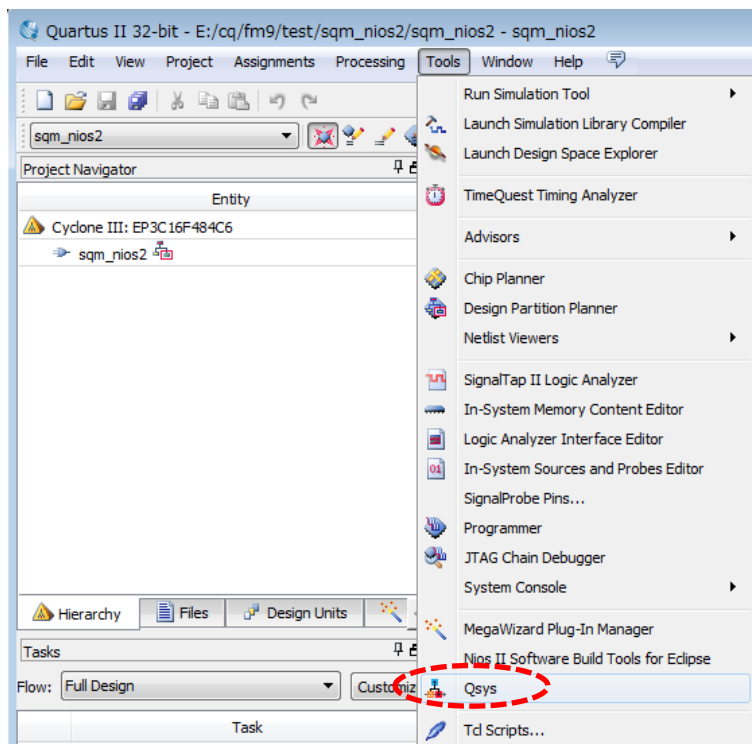
VCCINT voltage: 1.2V

Junction temperature range: 0-85 °C

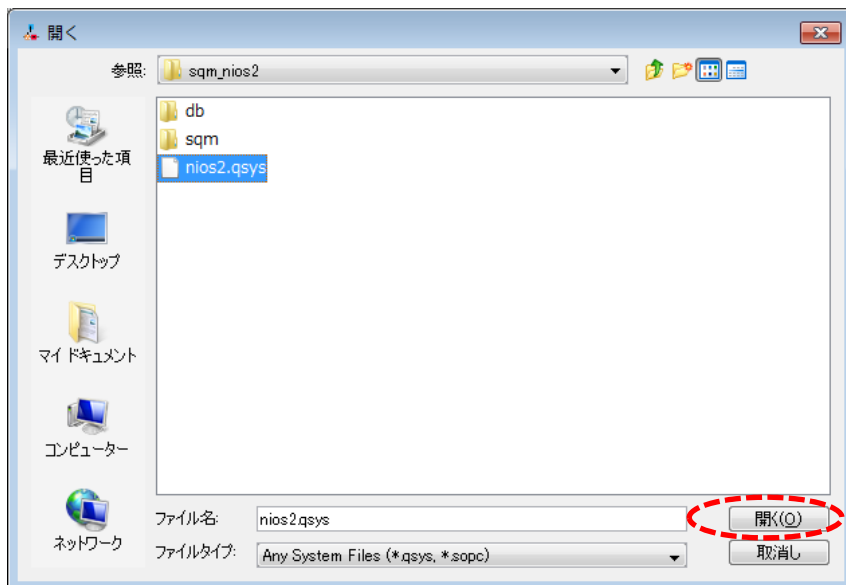
< Back Next > **Finish** Cancel Help

Finish をクリックでプロジェクトが作成される



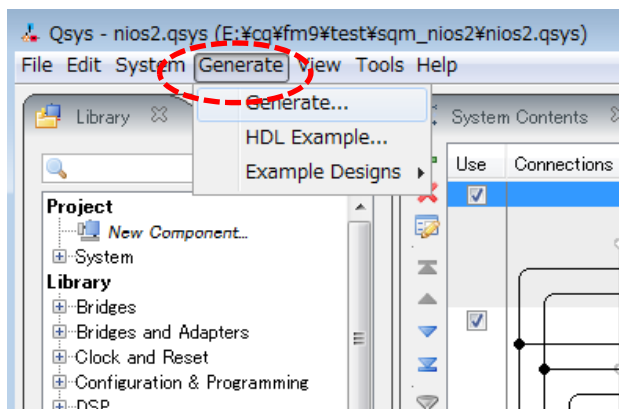


Qsys を起動、Tools→Qsys 選択

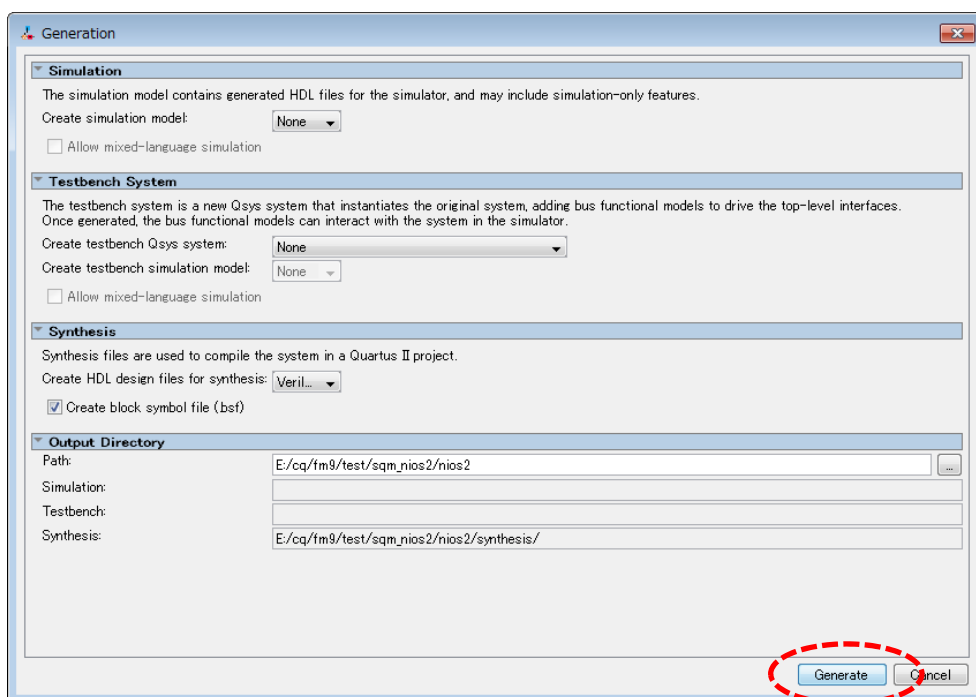


nios2.qsys を指定

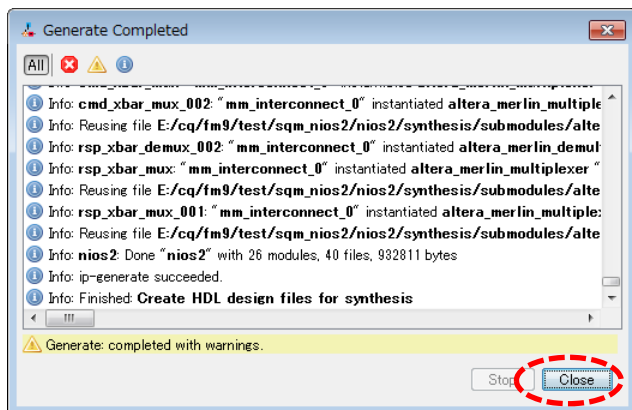




Generate を選択

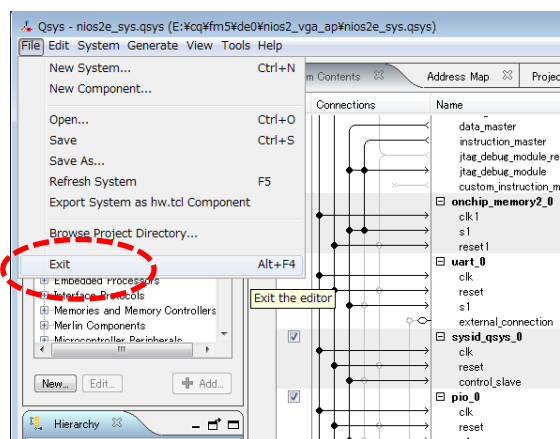


Generate を選択



暫く待つと作成完了、Close を選択

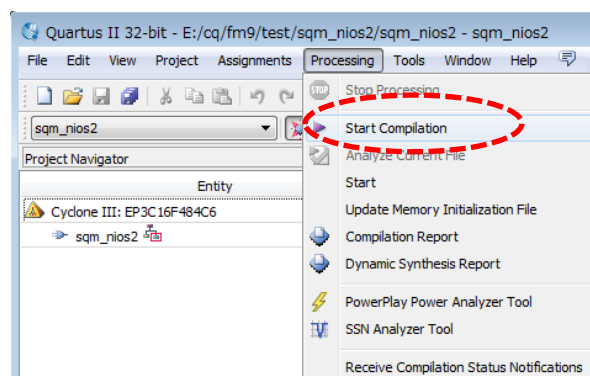




Qsys を終了



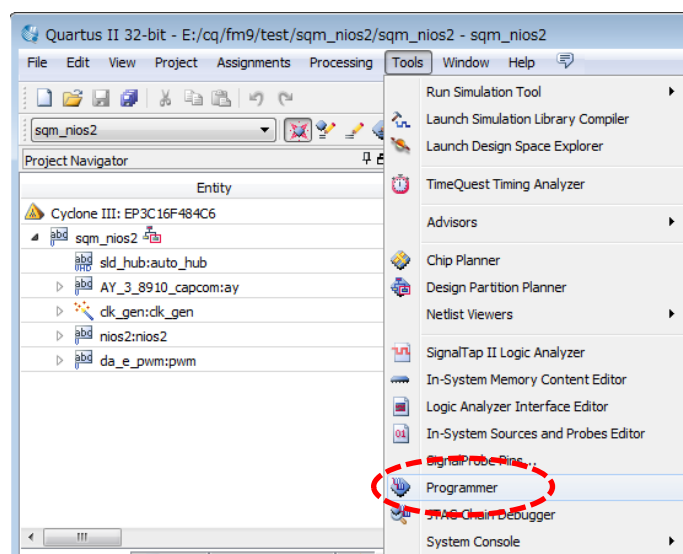
Quartus IIに戻る



コンパイルを実施、Processing→Start Compilation

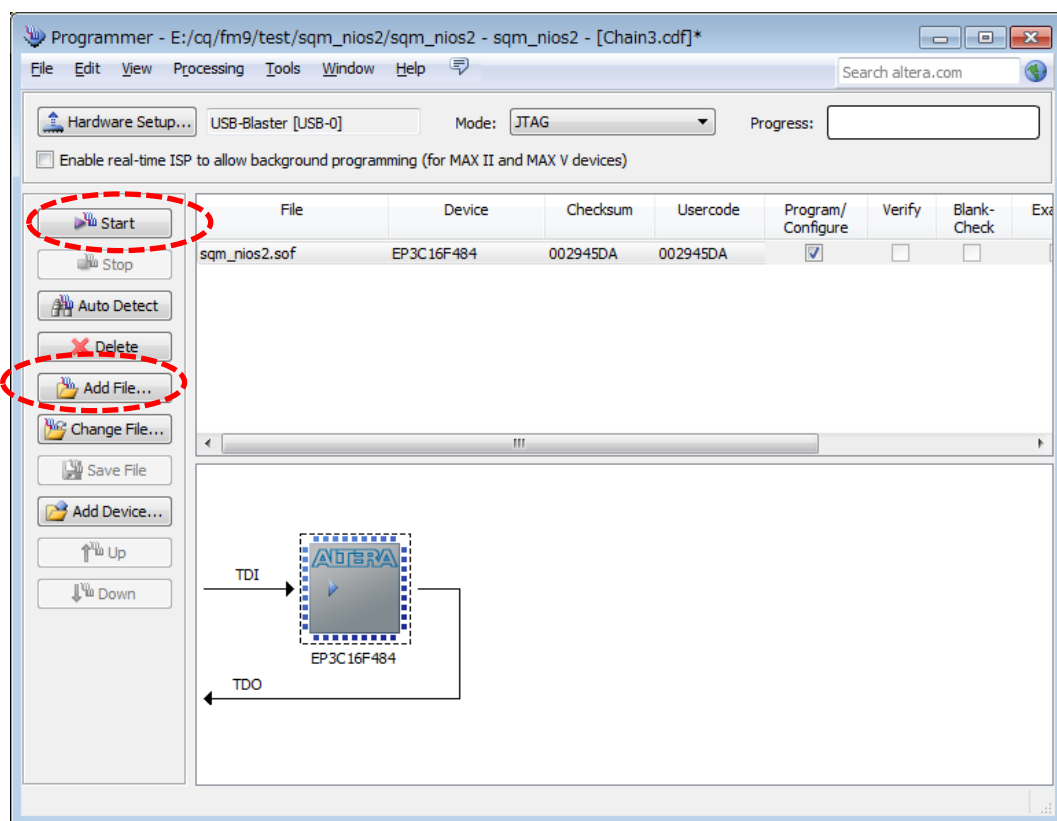


DE0 のプログラミング用 USB 端子を PC の USB 端子に接続します。DE0 とブレッドボード上のローパス・フィルタ、アンプ、スピーカを接続 (FPGA マガジン No. 9 を参照)

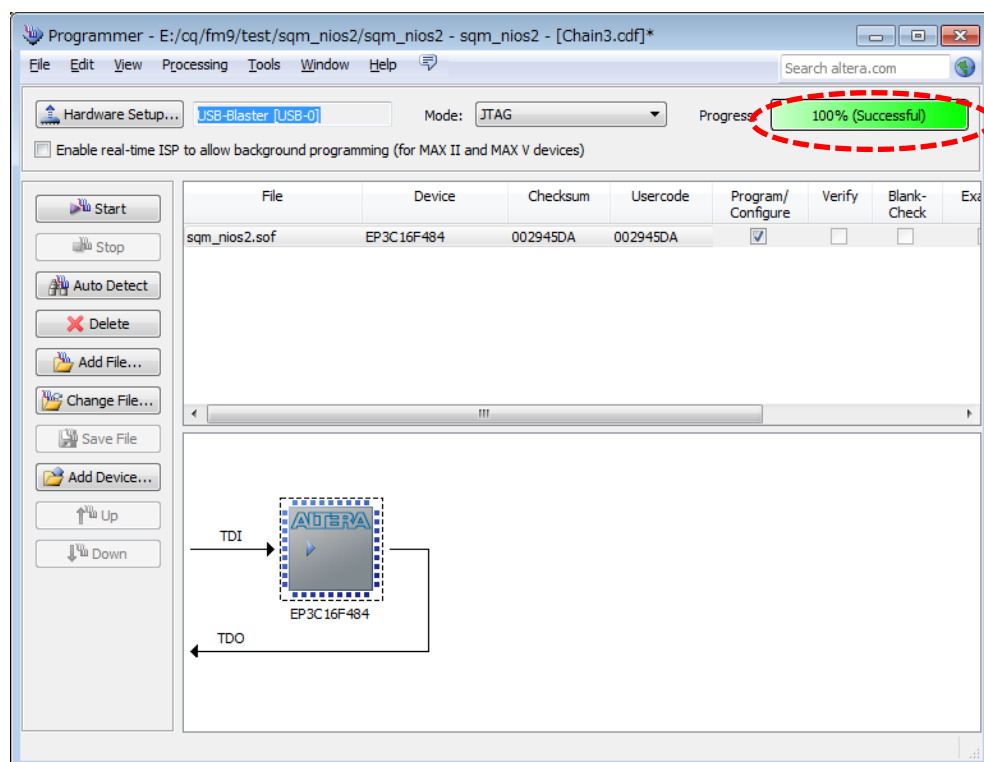


プログラムの起動、Tools→Programmer 選択



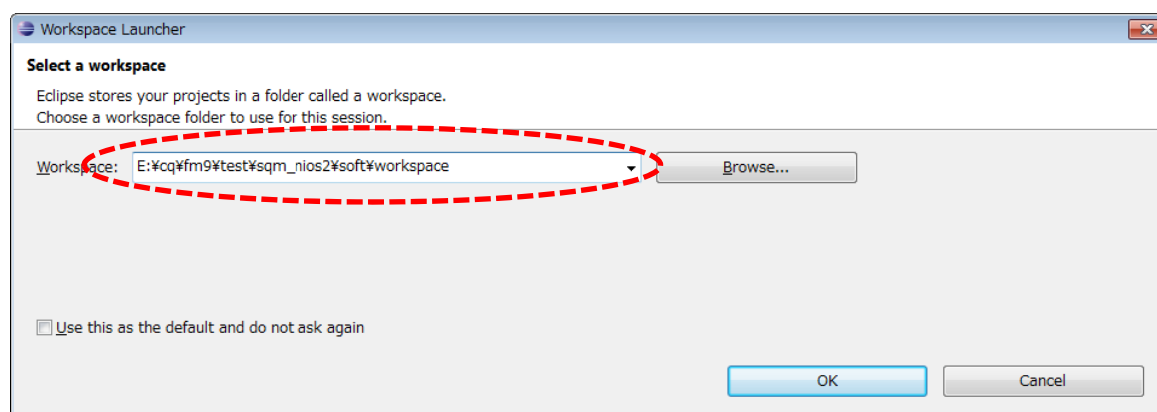
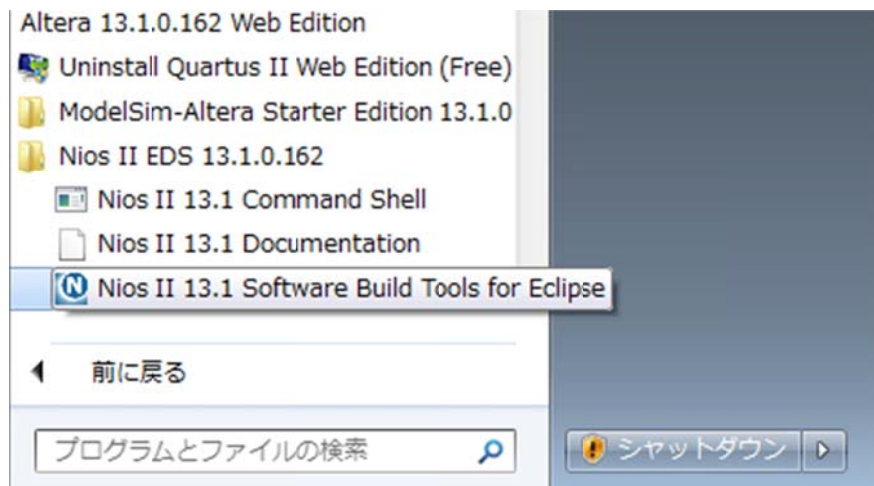


Add Files で sqm_nios2.sof を指定、start をクリックして FPGA に回路データ書き込み



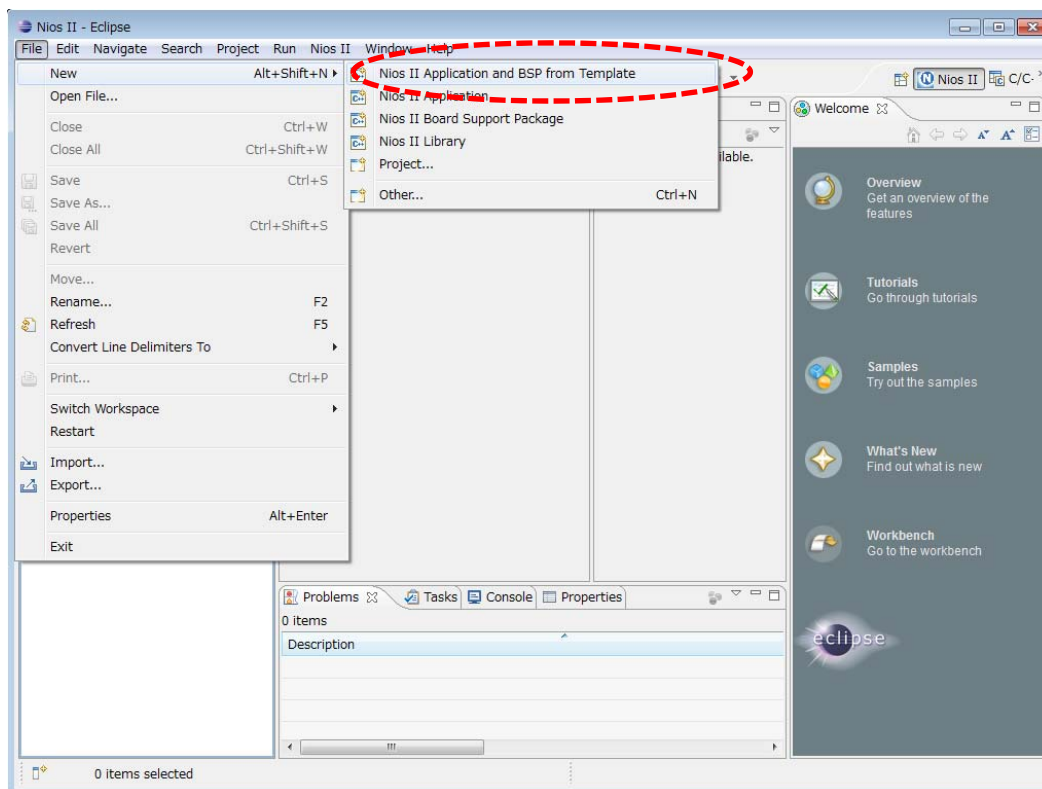
100% (Successful) と表示されれば書き込み完了

・次に Nios II EDS (Nios II Software Build Tools) でソフトウェアを作ります。
スタートメニューから「Altera 13.1...」→「Nios II EDS 13.1...」→「Nios II 13.1 Software Build Tools for Eclipse」を管理者として実行してください。
管理者として実行しないとソフトウェアプロジェクトを作成でエラーになる場合があります。

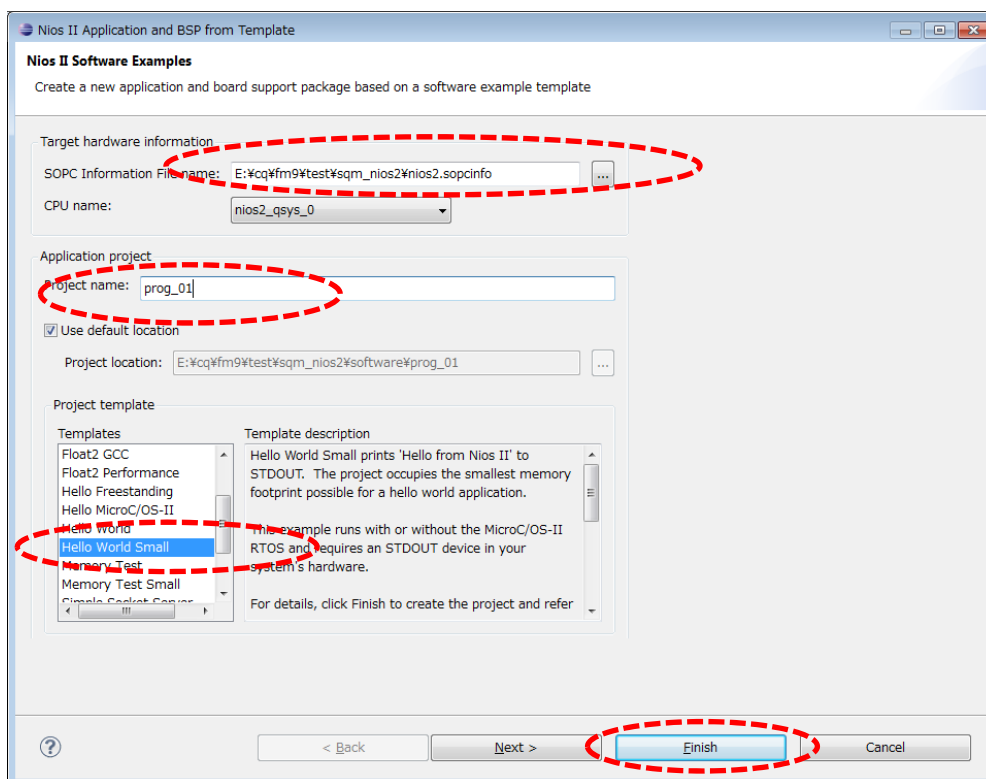


EDS が起動するとワークスペースを指定が要求されます。設計フォルダ/soft/workspace を設定



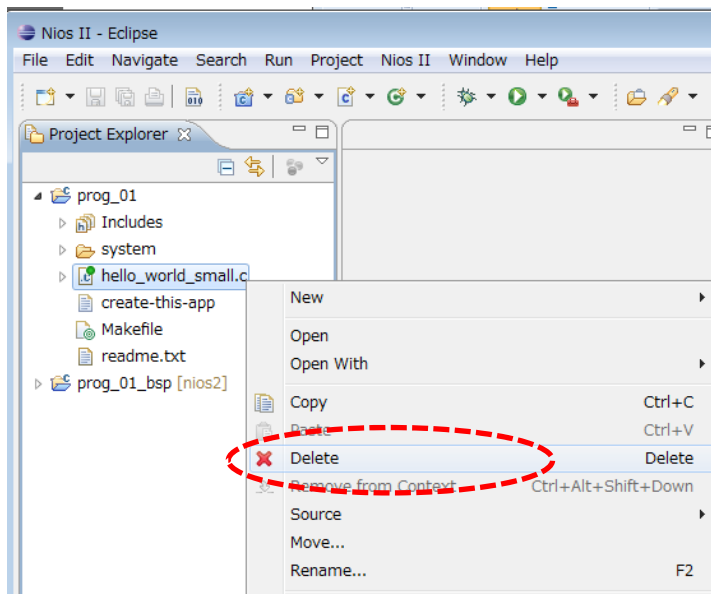


新規のソフトウェアプロジェクト作成、File→New→NiosII Application and BSP from Template

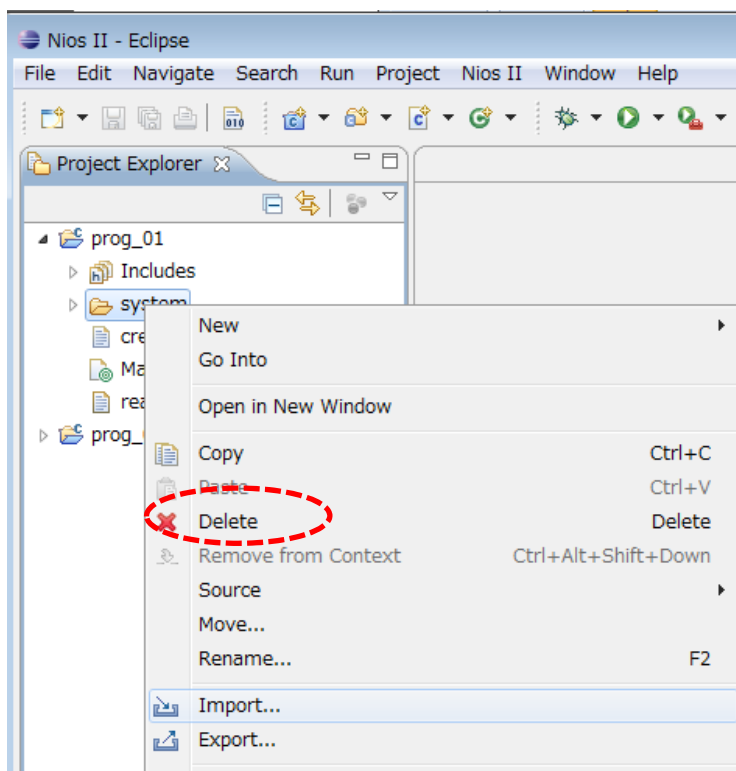


sopc ファイル(nios2. sopicino)、プロジェクト名指定(prog_01), Templates に HelloWorldSmall を指定
Finish をクリックでソフトウェアプロジェクトが作成される

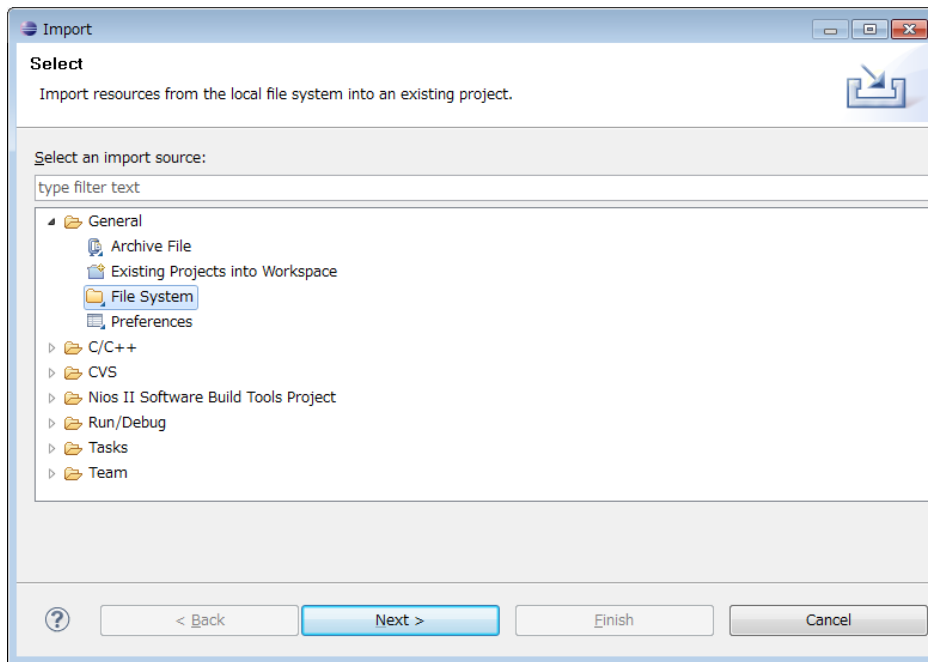




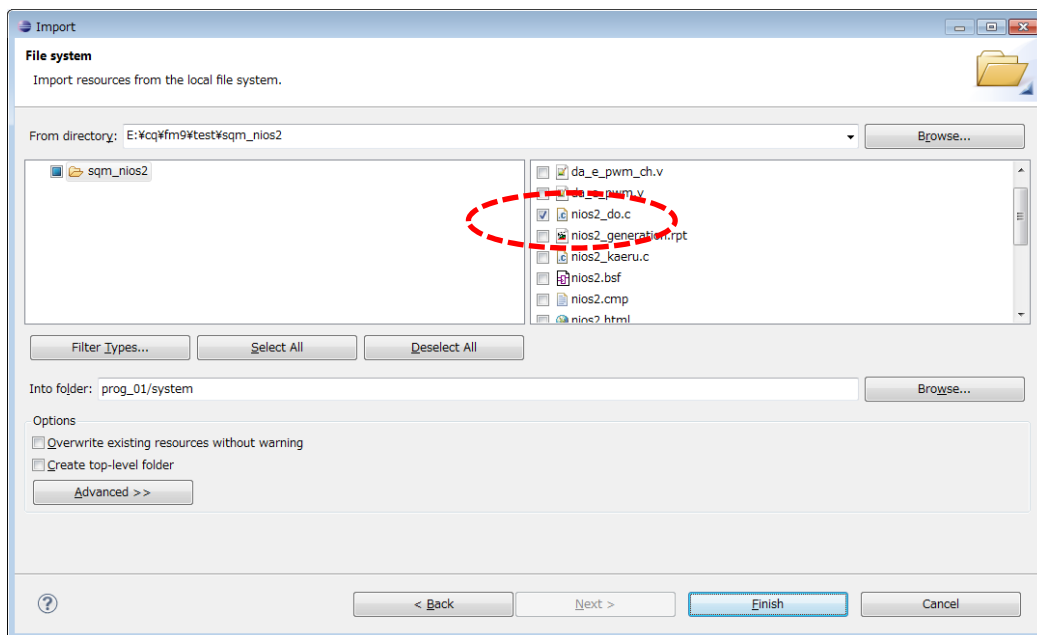
prog_01 にある Hello_world_small.c の上でマウスの右ボタンを押して Delete を選択して、削除



prog_01 の上でマウスの右ボタンを押して Import を選択

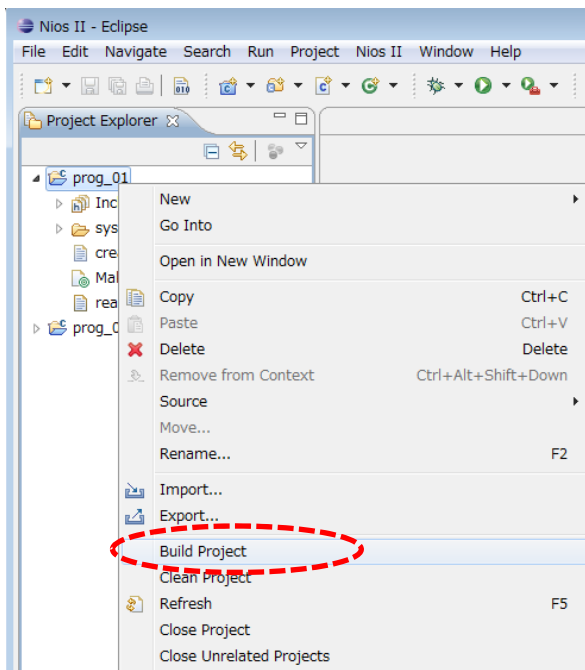


General→File System 選択

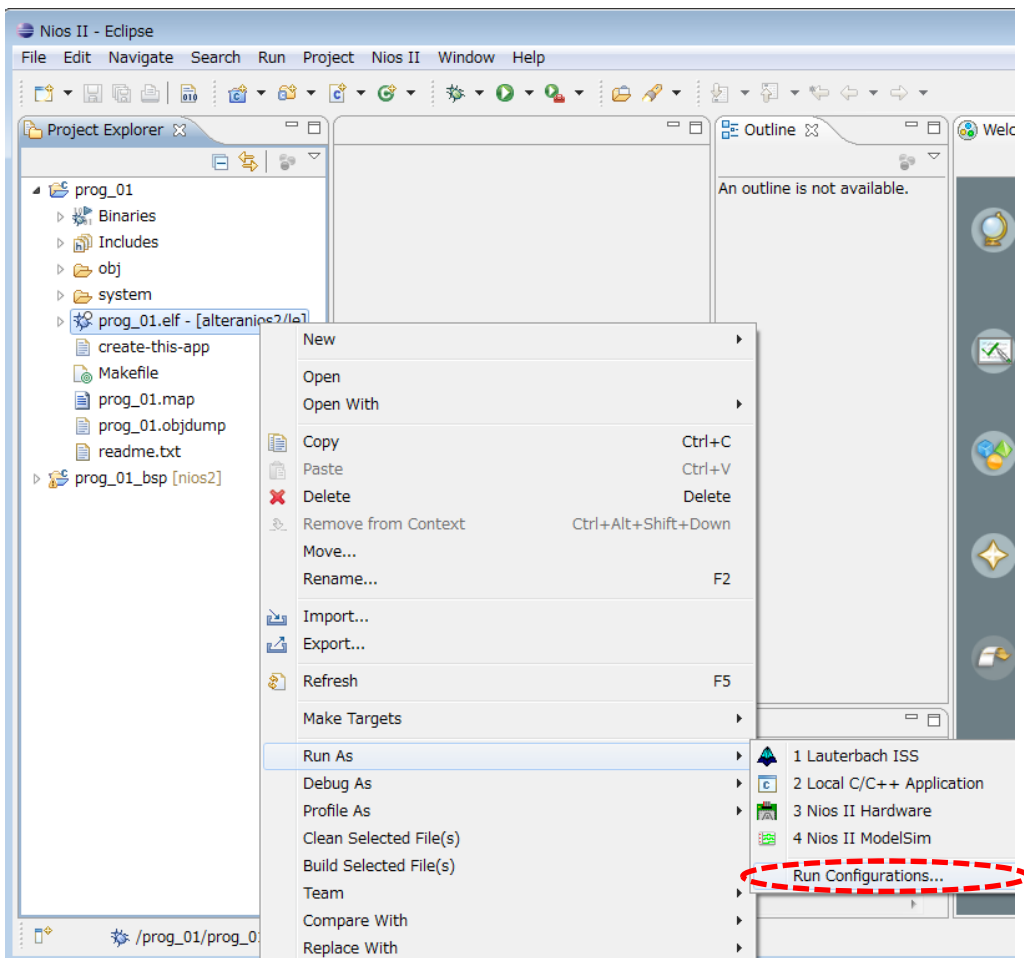


sqm_nios2 の nios2_do.c を選択



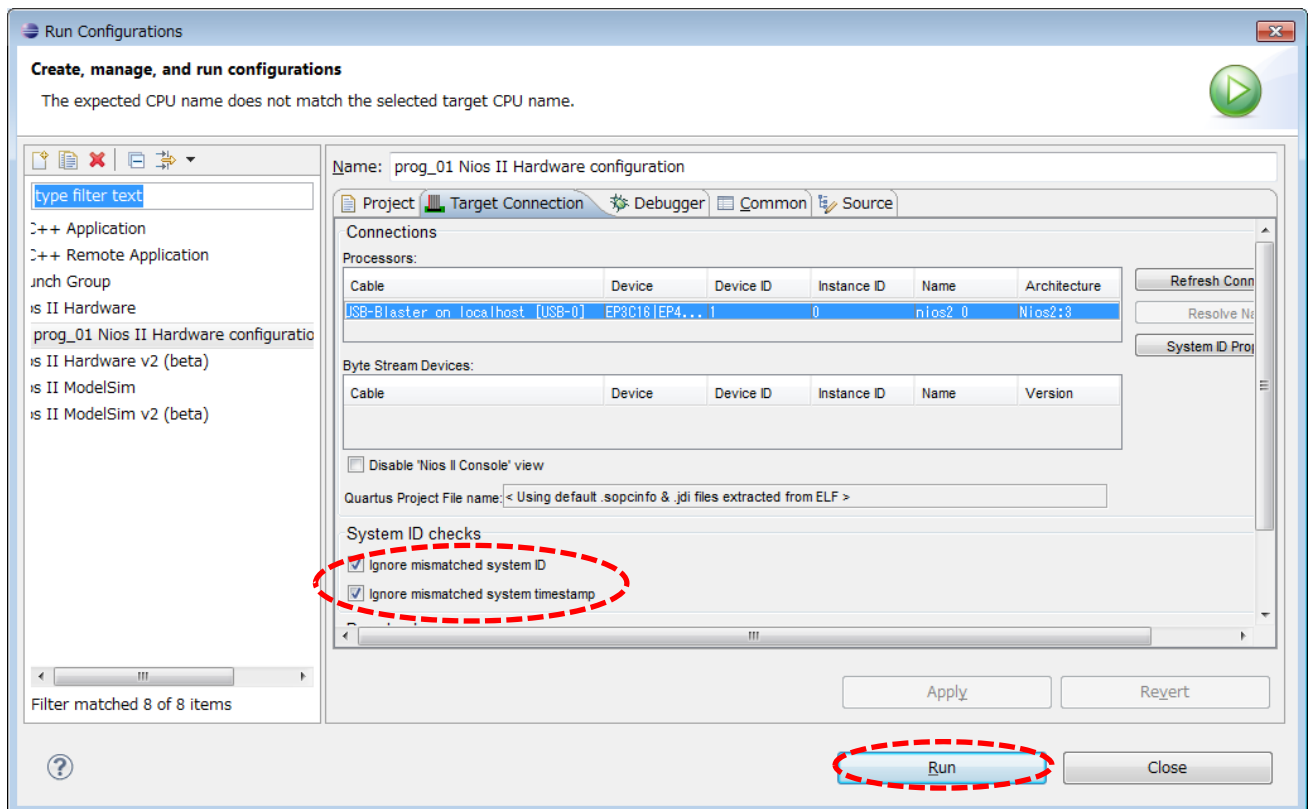


ビルドを実行



prog_01.elf 上でマウス右ボタンを押す→Run As →Run Configuration を選択





System ID checks のオプションにチェックを付けて、Run をクリック
プログラムが実行されて、音が鳴ります。
以上で動作確認終了です。