

FPGA マガジン NO.9

「音源チップAY-3-8910 互換 IP コアを試してみる」の MicroBlazeMCS 用設計データの使い方 (2015/4/22)
ファイル一覧

- ・ *.v Verilog-HDL の回路記述 (トップ回路は sqm_mb_mcs.v)
- ・ sqm_mb_mcs.ucf ピン配置指定
- ・ mb_mcs_do.c “ド” を鳴らすサンプル C プログラム
- ・ mb_mcs_env.c エンベロープのサンプル C プログラム
- ・ mb_mcs_nois.c ノイズのサンプル C プログラム
- ・ mb_mcs_kaeru.c カエルの合唱のサンプル C プログラム
- ・ sqm_mb_mcs.bit bit ファイル、このファイルを FPGA へ書き込むことでも動作確認できます。

免責事項

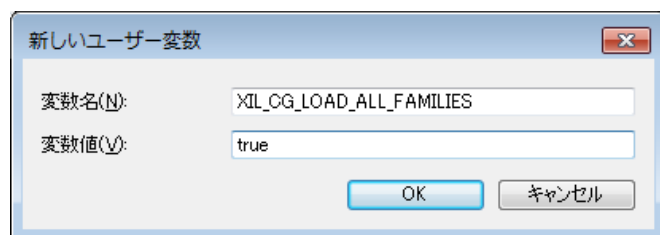
本データの使用が原因として発生した損失や損害について、著作者は一切責任を負いません。著作者：
横溝憲治 fpga@hmwr-lsi.co.jp

手順

- ・ 設計用フォルダ sqm_mb_mcs を作成する
- ・ 記事のダウンロードデータ sqm_mb_mcs_data の下にある ファイルを sqm_mb_mcs へコピー
- ・ AY_3_8910_capcom のデータを CopenCores のサイト (<http://opencores.org/project,sqmusic>) からダウンロード
- ・ ダウンロードした sqmusic_latest.tar.gz を解凍する
- ・ 解凍データの sqmusic/trunk/sqm の下にある Verilog-HDL ソースを sqm_mb_mcs/sqm へコピー
- ・ 環境変数 XIL_CG_LOAD_ALL_FAMILIES が設定されてない場合は環境変数を追加する

コントロールパネル→システムとセキュリティ→システム→システムの詳細設定→環境変数→

ユーザー環境変数：新規をクリック

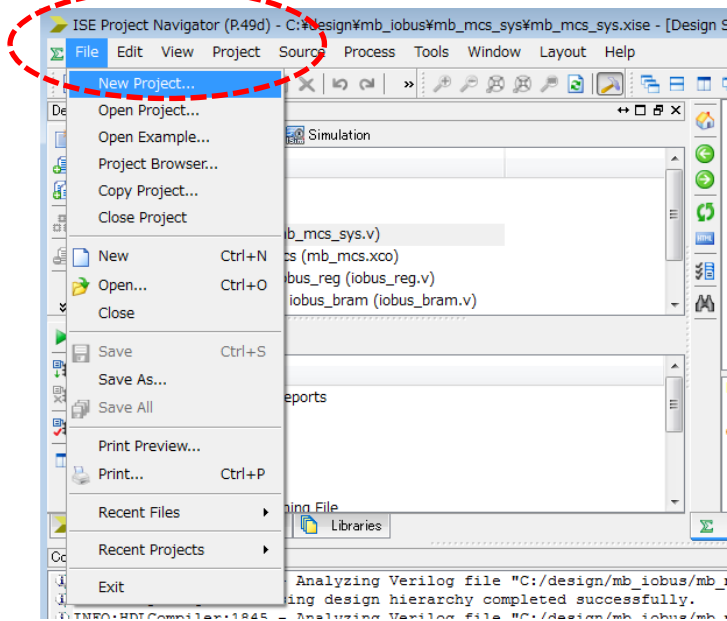


変数名 : XIL_CG_LOAD_ALL_FAMILIES 値 : true を入力して OK

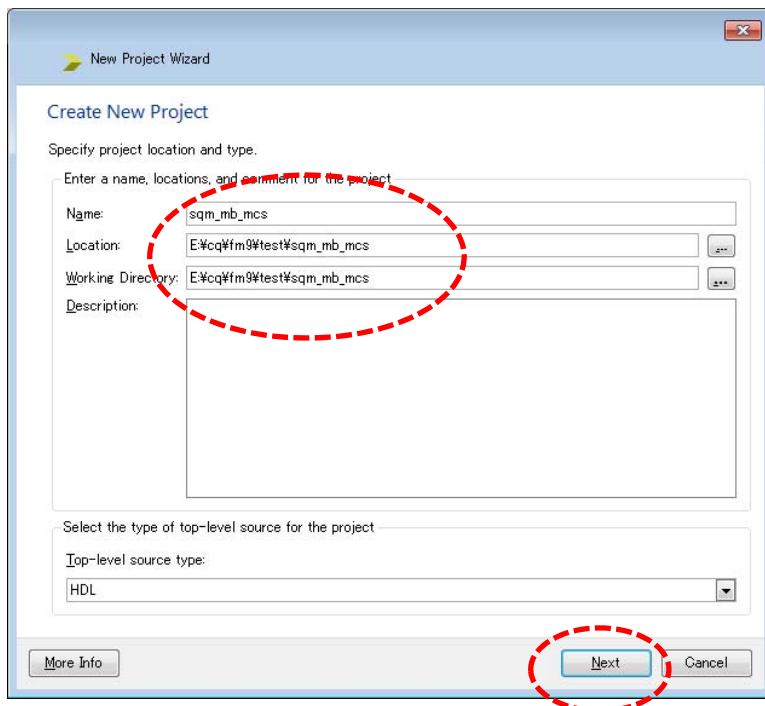
- ・ ProjectNavigator を起動します。

スタートメニューから「Xilinx Design Tools」→「ISE Design Suite 14.7」→「ISE Design Tools」→「Project Navigator」を起動します。

・新規設計プロジェクト作成



File→New Project 選択



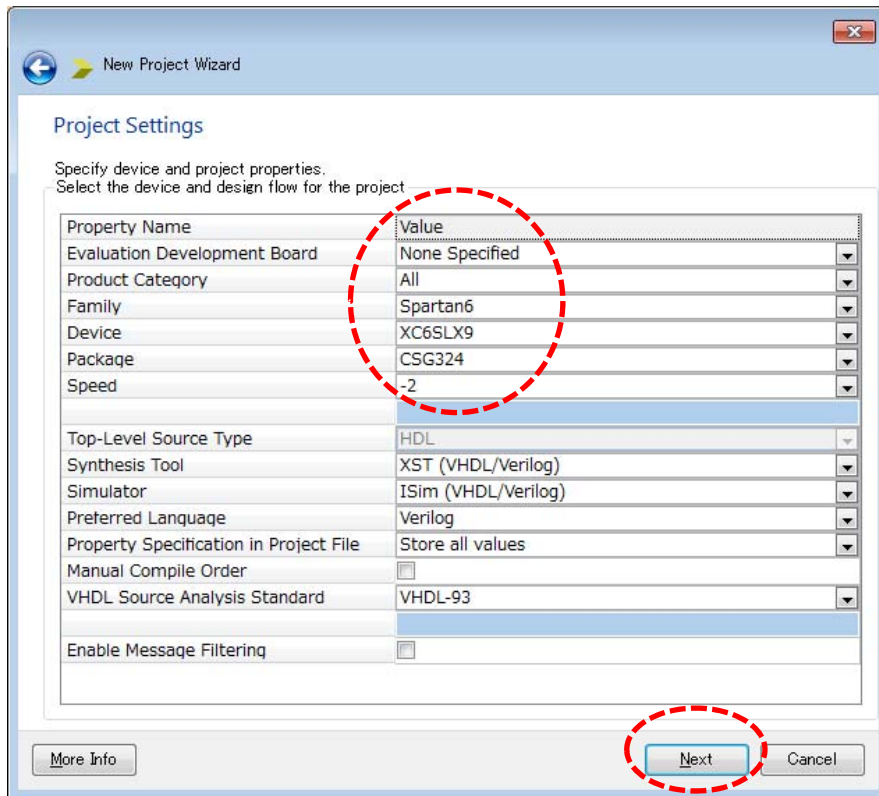
プロジェクト名と設計フォルダ指定

プロジェクト名 : sqm_music

設計フォルダ : 任意/sqm_mb_mcs

次に Next をクリック

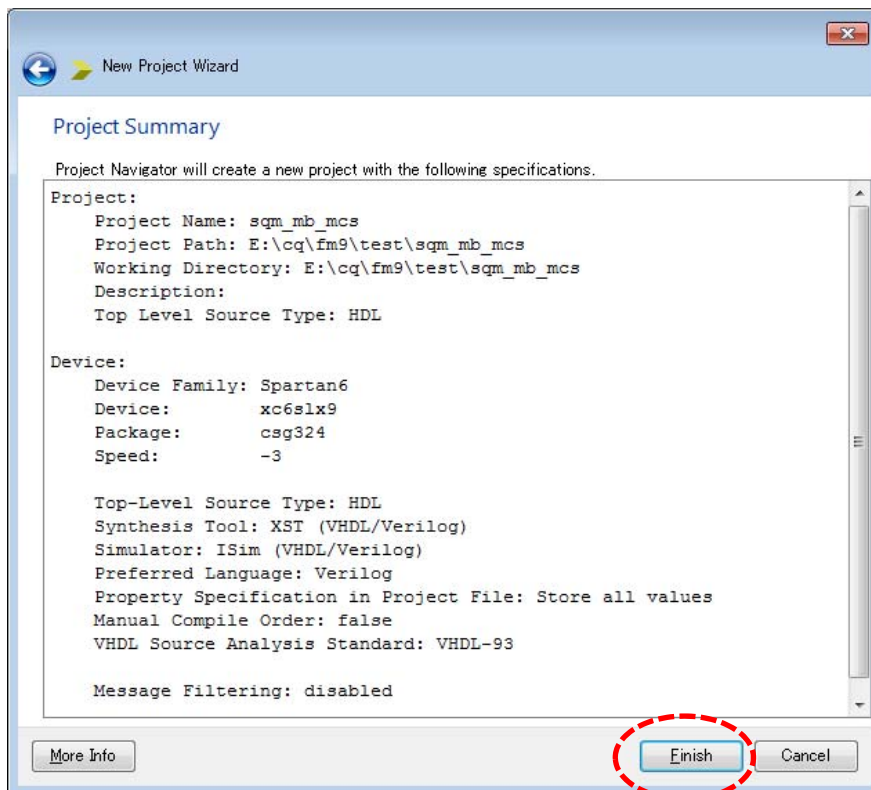




The 'New Project Wizard' dialog box is shown at the 'Project Settings' step. It contains a table of properties and their values. A red dashed circle highlights the 'Device' section, which includes 'Family' (Spartan6), 'Device' (XC6SLX9), and 'Package' (CSG324). Another red dashed circle highlights the 'Next' button at the bottom right.

Property Name	Value
Evaluation Development Board	None Specified
Product Category	All
Family	Spartan6
Device	XC6SLX9
Package	CSG324
Speed	-2
Top-Level Source Type	HDL
Synthesis Tool	XST (VHDL/Verilog)
Simulator	ISim (VHDL/Verilog)
Preferred Language	Verilog
Property Specification in Project File	Store all values
Manual Compile Order	<input type="checkbox"/>
VHDL Source Analysis Standard	VHDL-93
Enable Message Filtering	<input type="checkbox"/>

デバイス指定 LX9 マイクロボードに合わせて、Next をクリック



The 'New Project Wizard' dialog box is shown at the 'Project Summary' step. It displays a summary of the project specifications. A red dashed circle highlights the 'Finish' button at the bottom right.

Project Navigator will create a new project with the following specifications.

Project:

- Project Name: sqm_mb_mcs
- Project Path: E:\cq\fm9\test\sqm_mb_mcs
- Working Directory: E:\cq\fm9\test\sqm_mb_mcs
- Description:
- Top Level Source Type: HDL

Device:

- Device Family: Spartan6
- Device: xc6slx9
- Package: csg324
- Speed: -3

Top-Level Source Type: HDL

Synthesis Tool: XST (VHDL/Verilog)

Simulator: ISim (VHDL/Verilog)

Preferred Language: Verilog

Property Specification in Project File: Store all values

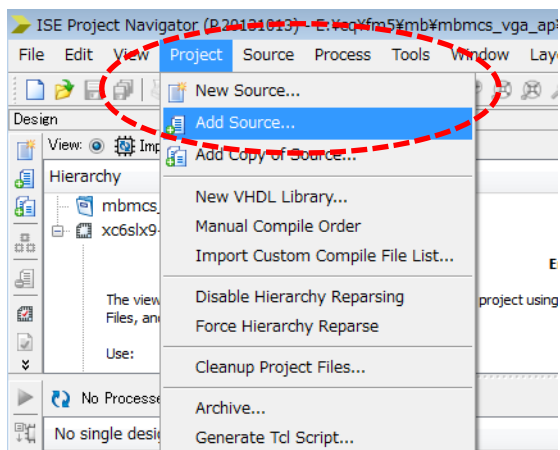
Manual Compile Order: false

VHDL Source Analysis Standard: VHDL-93

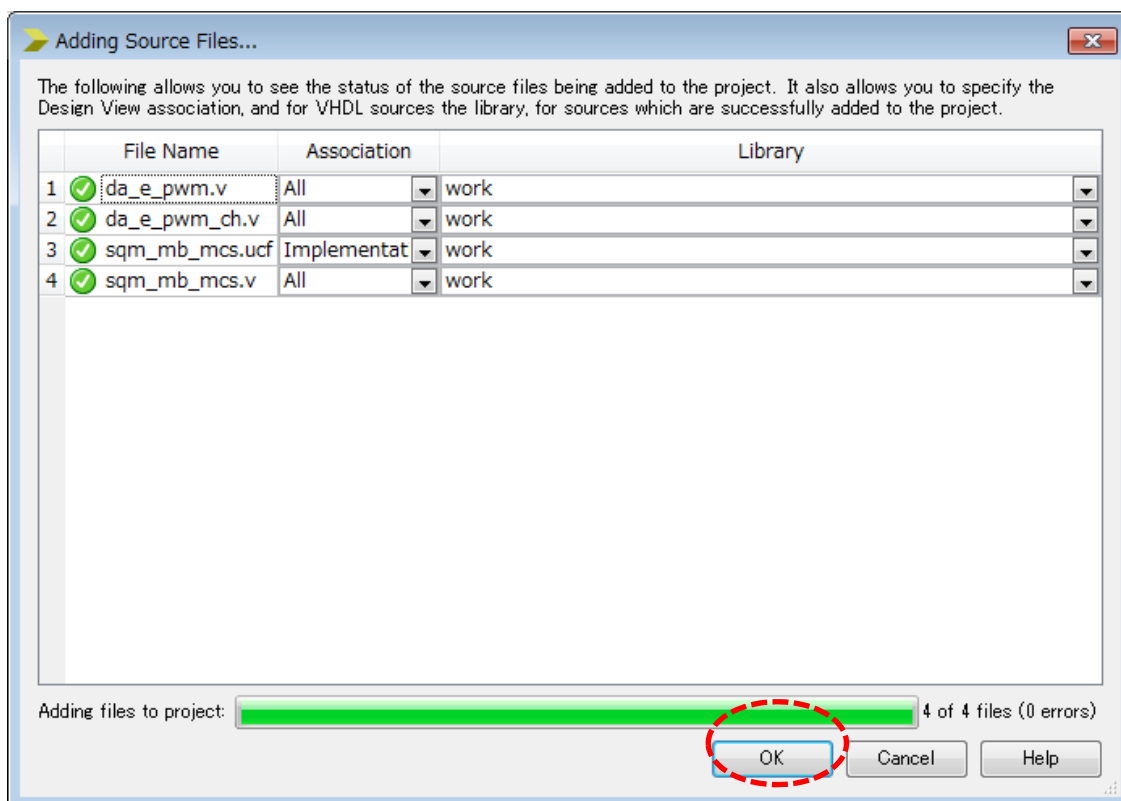
Message Filtering: disabled

Finish をクリック



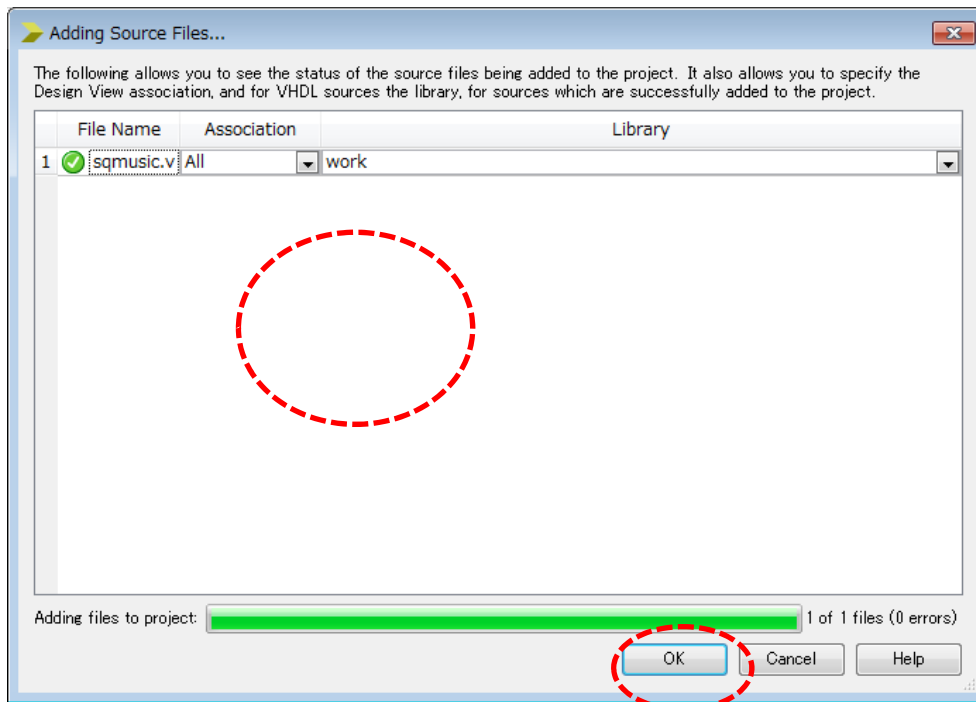


設計データを追加します。Project→Add Source を選択

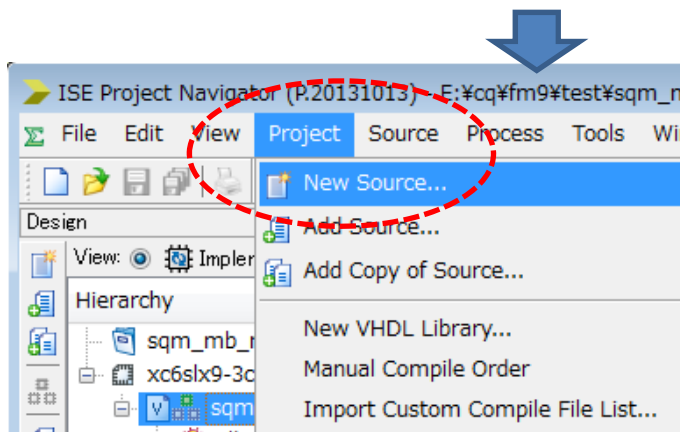


ファイルの指定、sqm_mb_mcs の下にある Verilog-HDL ファイルと UCF ファイルを指定

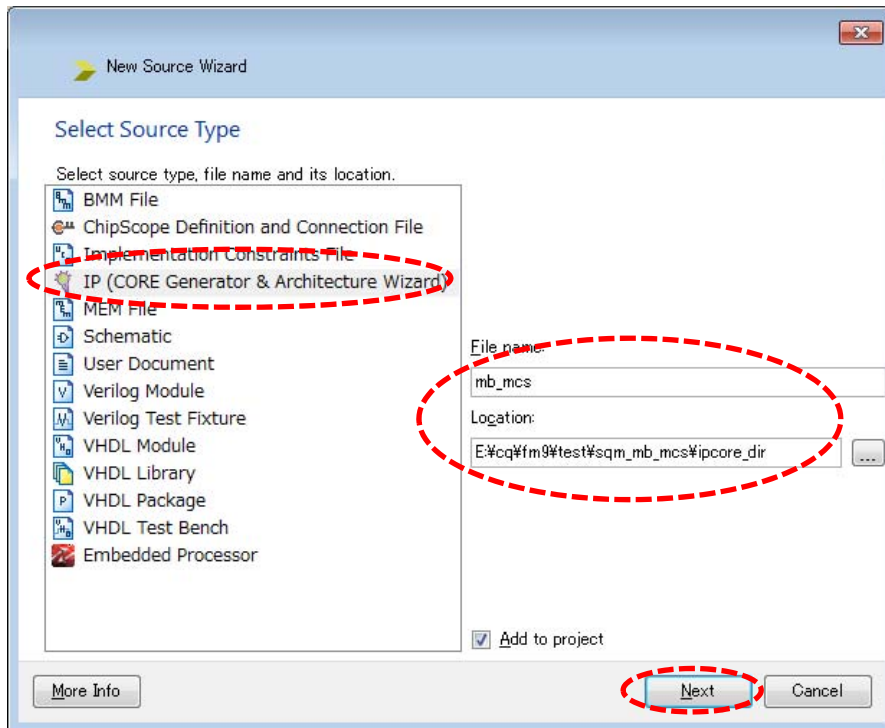




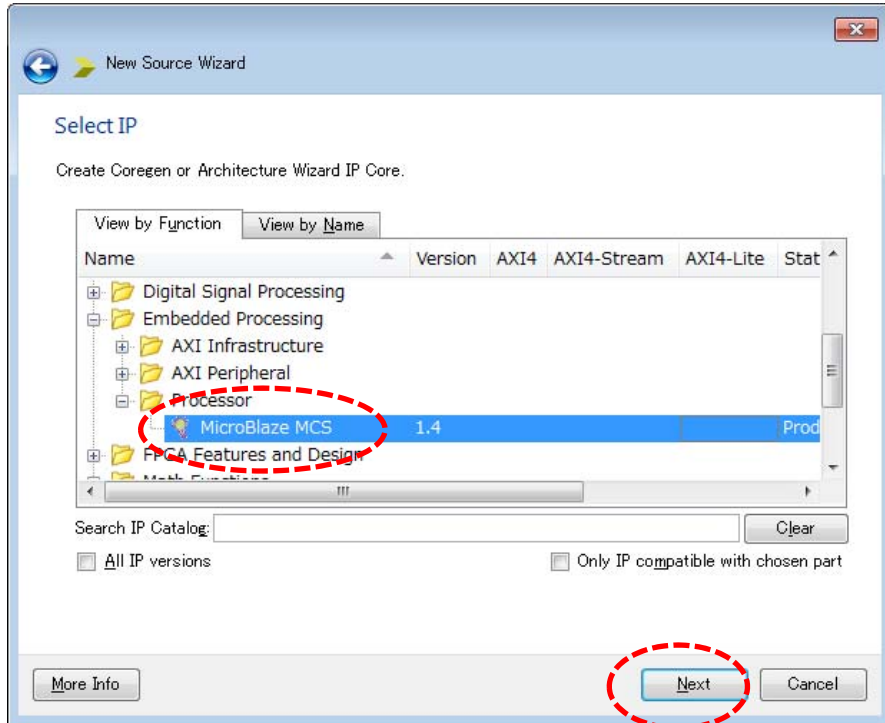
sqm_mb_mcs /sqm/sqmusic.v も追加して OK をクリック



Project Navigator で MicroBlaze MCS を追加する。Project→New Source を選択

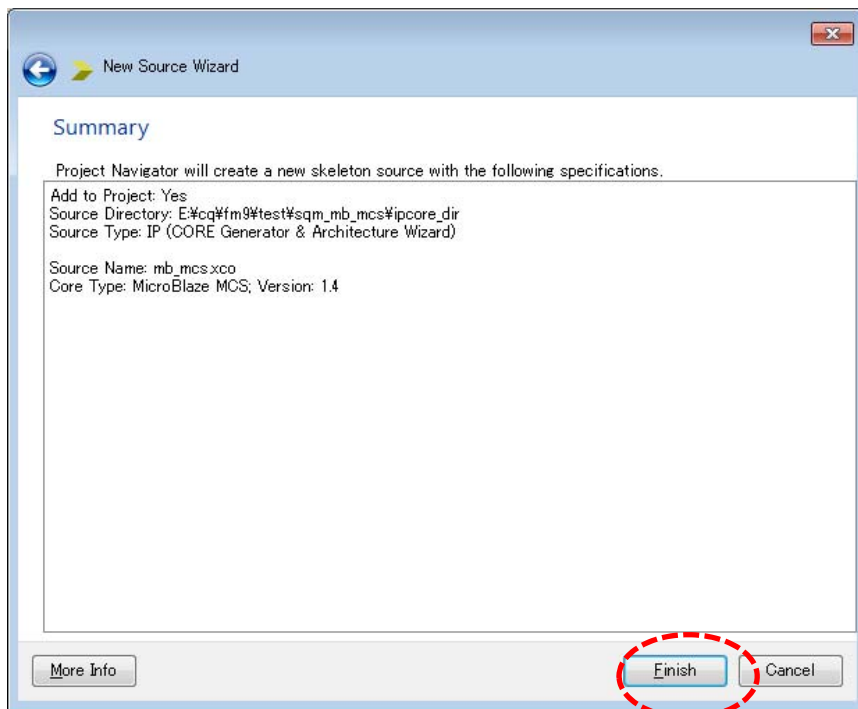


IP (CORE Gener...をクリックして選択、ファイル名を mb_mcs に指定、Next をクリック

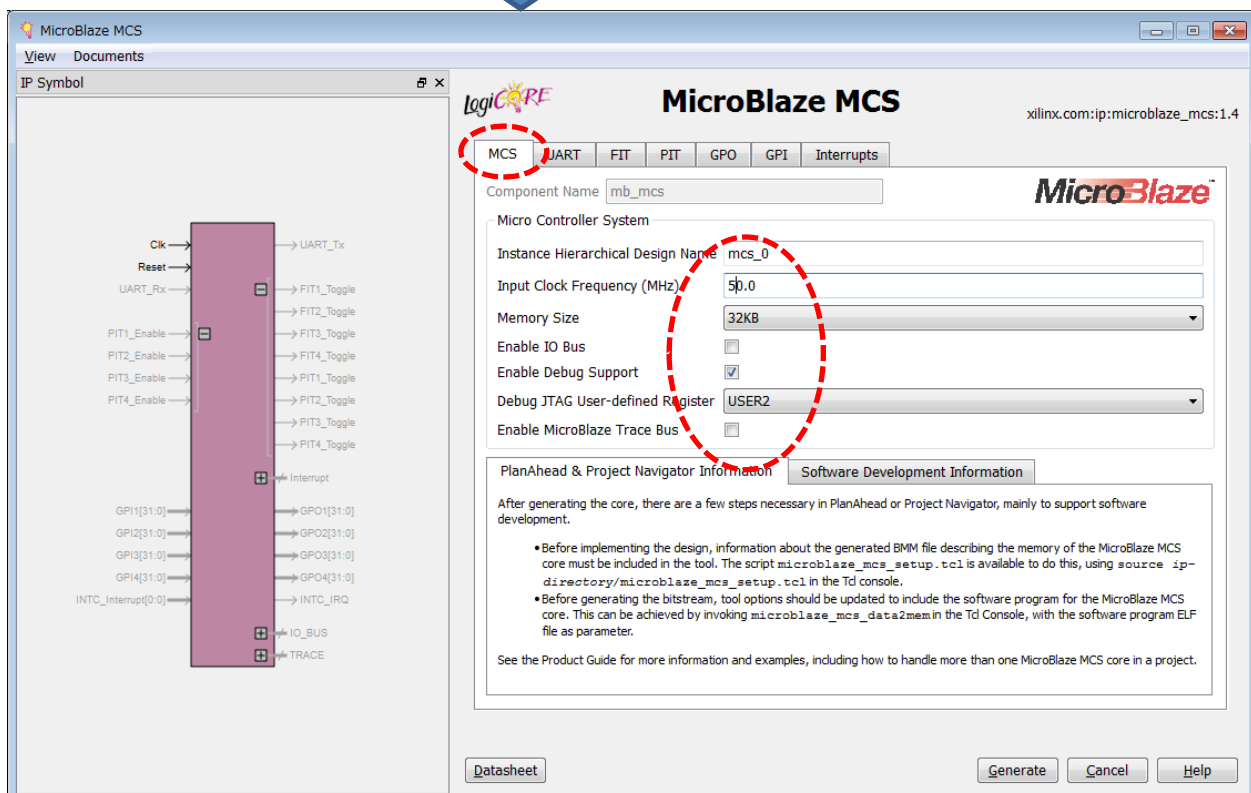


MicroBlaze MCS 選択して Next をクリック

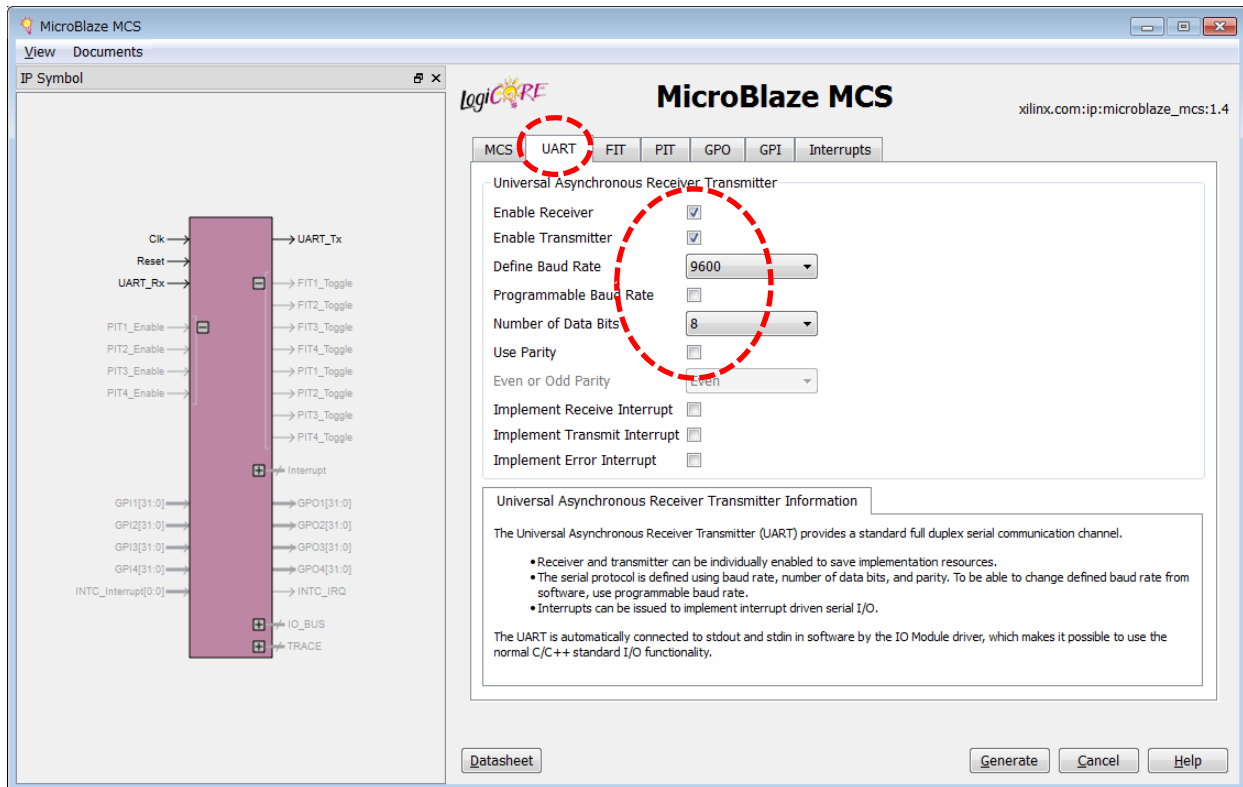




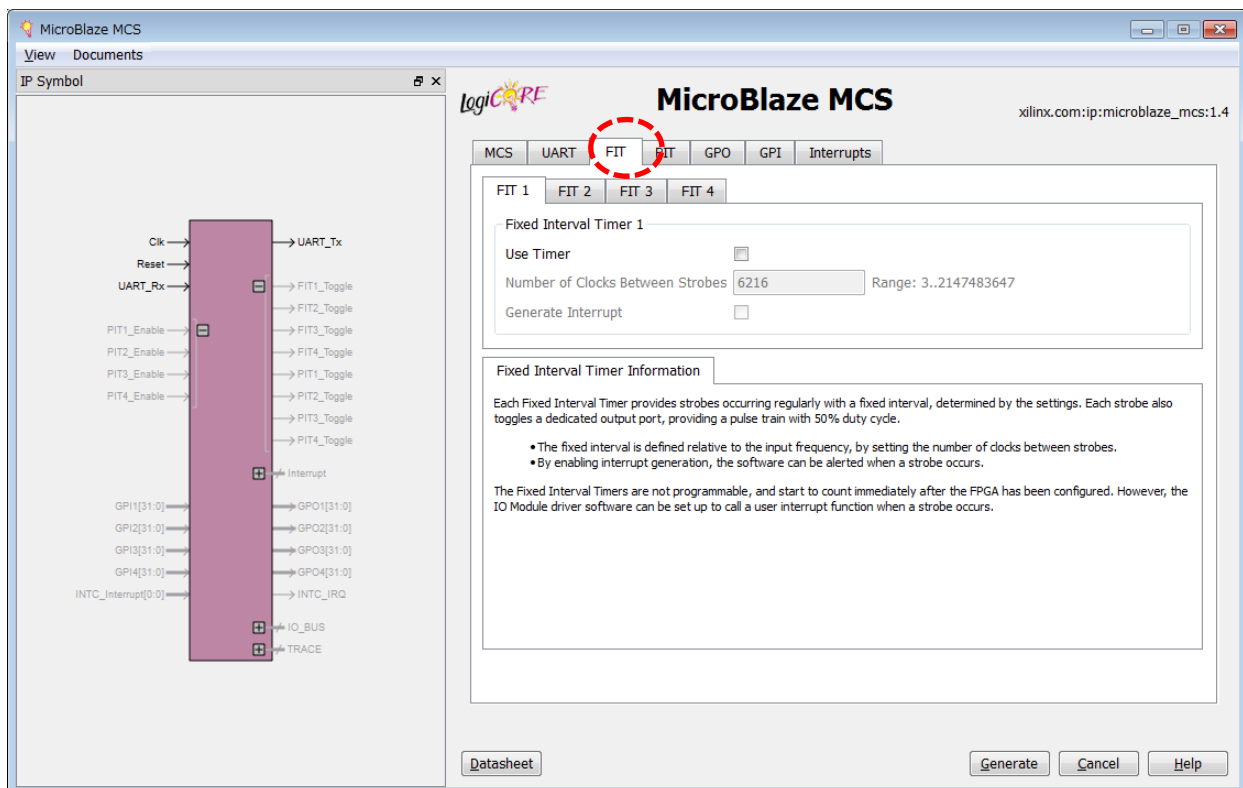
Finish をクリックで CORE generator が起動



MicroBlaze MCS の基本設定

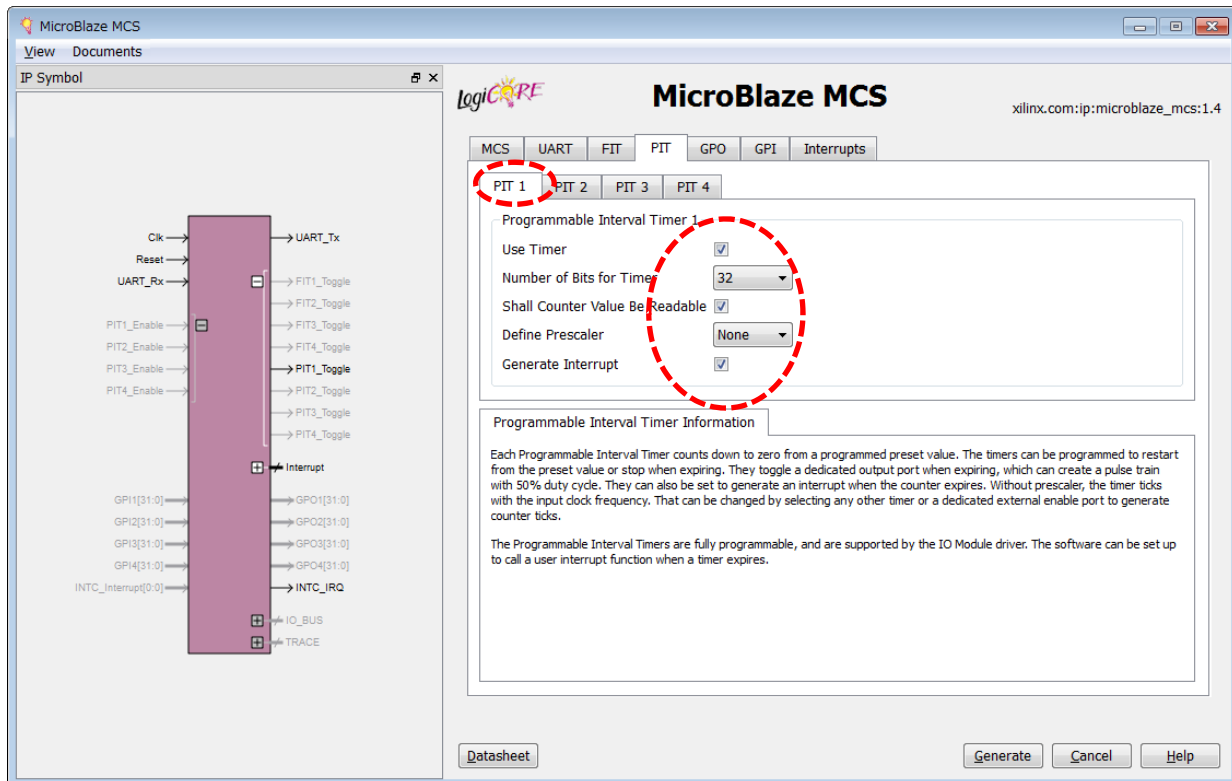


UART の設定

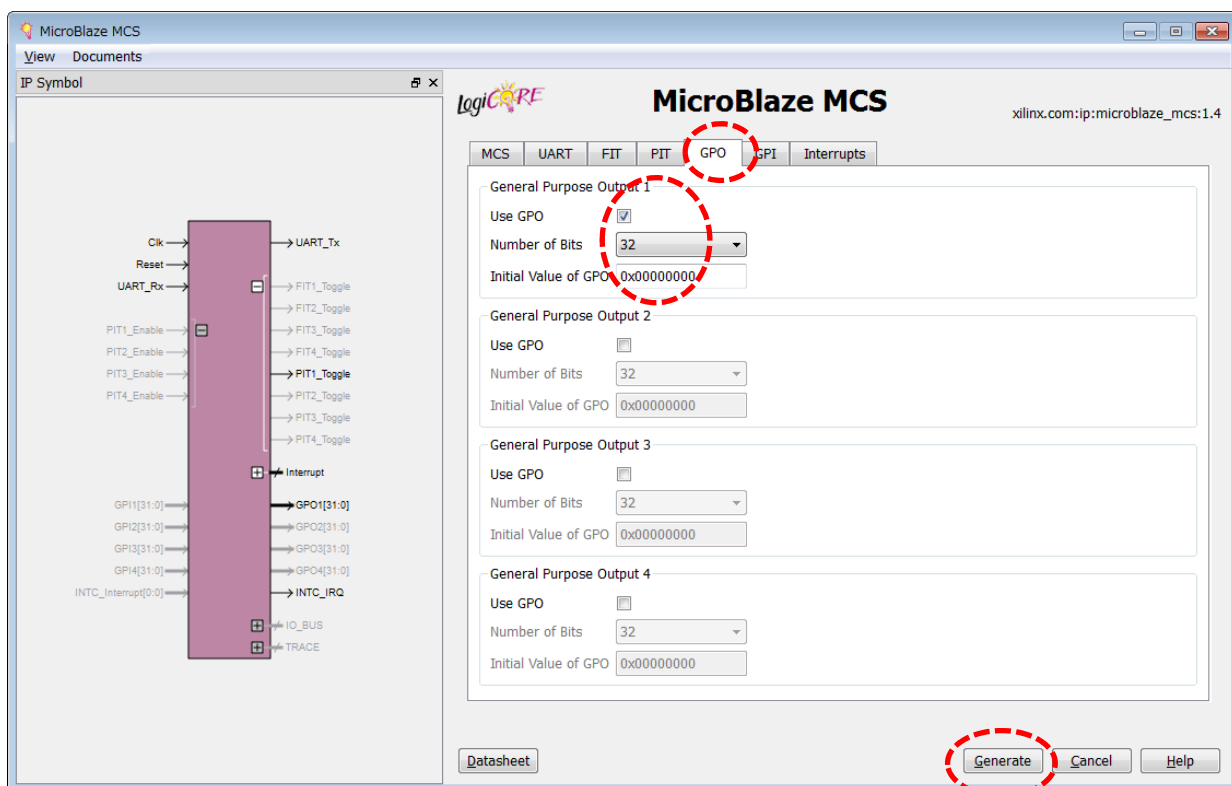


FIT の指定、何も設定しない





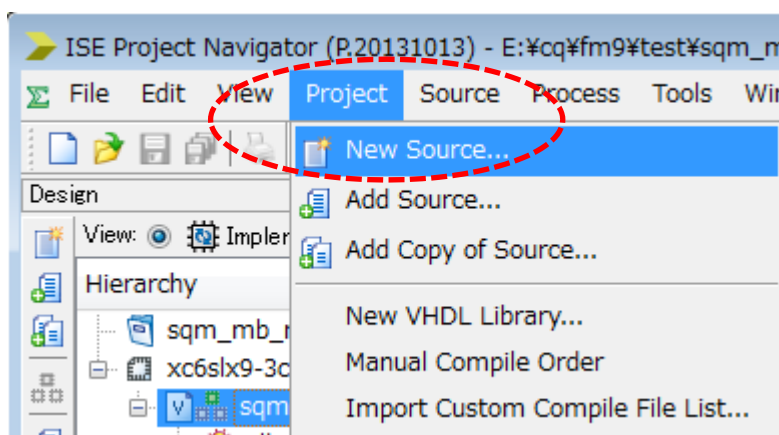
PIT の設定、



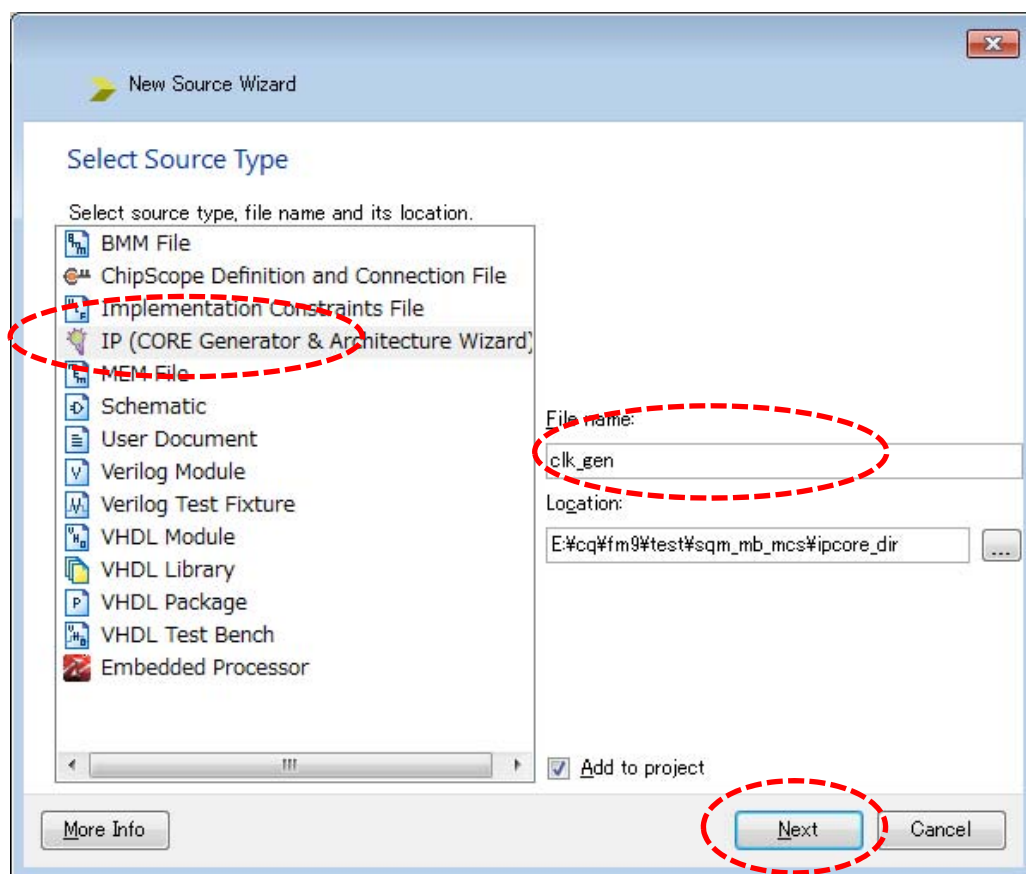
GPO の設定

Generate をクリックすると MicroBlaze MCS がプロジェクトに追加される





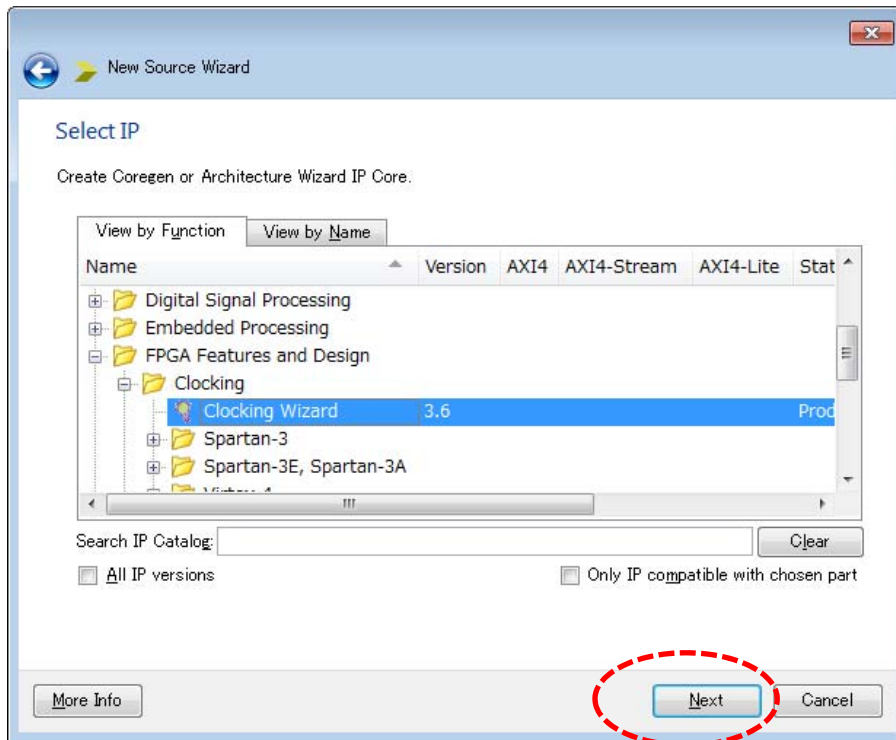
clk_gen の作成、Project→New Source を選択



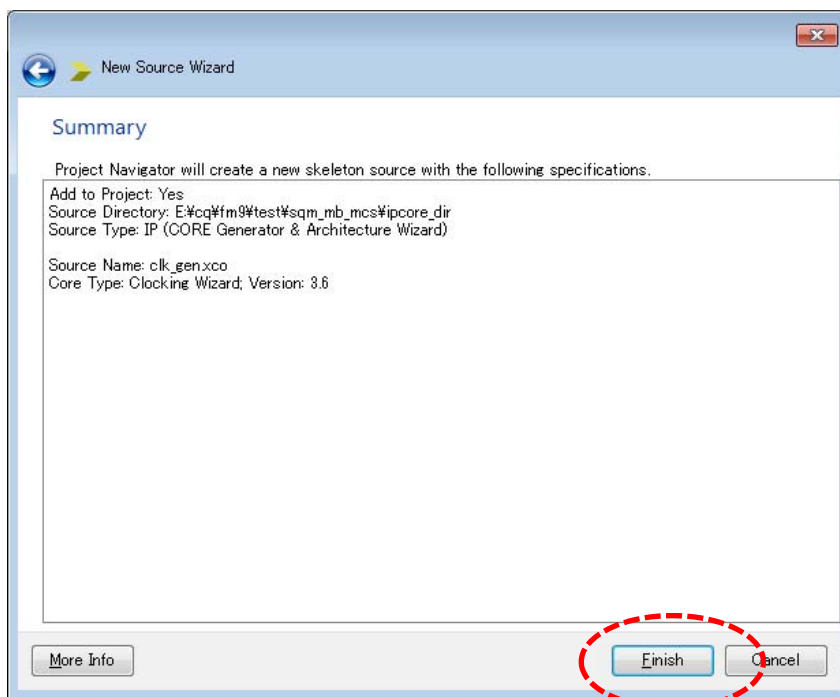
clk_gen の作成、Project→New Source を選択

IP (CORE Gener...をクリックして選択、ファイル名に clk_gen を指定、Next をクリック





Clocking Wizard を選択、Next をクリック



Finish をクリックすると CORE generator が起動



Clocking Wizard

Component name: clk_gen

Clocking Features

- ☒ Frequency synthesis
- ☒ Phase alignment (known phase relationship to input clock)
- ☐ Minimize power
- ☐ Dynamic phase shift
- ☐ Dynamic reconfiguration (in system output freq modification)

Jitter Optimization

- ☒ Balanced
- ☐ Minimize output jitter (low clock jitter filtering)
- ☐ Maximize input jitter filtering (allow larger input jitter)

Input Clock Information

Input Clock	Input Freq (MHz)		Input Jitter	Source
	Value	Valid Range		
Primary	100.000	5.000 - 500.650	0.010	Single ended clock capable pin

Input Jitter Unit: ☒ UI ☐ PS

The IP Symbol shown on the left describes the input and output ports provided from the clocking network. Note that the names of these ports do not necessarily match the pins of any specific primitive.

< Back Page 1 of 6 Next > Generate Cancel Help

入力クロック周波数を 100MHz に設定、Next をクリック



Clocking Wizard

The phase is calculated relative to the active input clock.

Output Clock Settings

Output Clock	Output Freq (MHz)		Phase (degrees)		Duty Cycle (%)		Drives	Use Fine Ps
	Requested	Actual	Requested	Actual	Requested	Actual		
<input type="checkbox"/> CLK_OUT1	50.000	50.000	0.000	0.000	50.000	50.0	BUFG	<input type="checkbox"/>
<input checked="" type="checkbox"/> CLK_OUT2	3.571	3.571	0.000	0.000	50.000	50.000	BUFG	<input type="checkbox"/>
<input checked="" type="checkbox"/> CLK_OUT3	100.000	N/A	0.000	N/A	50.000	N/A	BUFG	<input type="checkbox"/>
<input type="checkbox"/> CLK_OUT4	100.000	N/A	0.000	N/A	50.000	N/A	BUFG	<input type="checkbox"/>
<input type="checkbox"/> CLK_OUT5	100.000	N/A	0.000	N/A	50.000	N/A	BUFG	<input type="checkbox"/>
<input type="checkbox"/> CLK_OUT6	100.000	N/A	0.000	N/A	50.000	N/A	BUFG	<input type="checkbox"/>

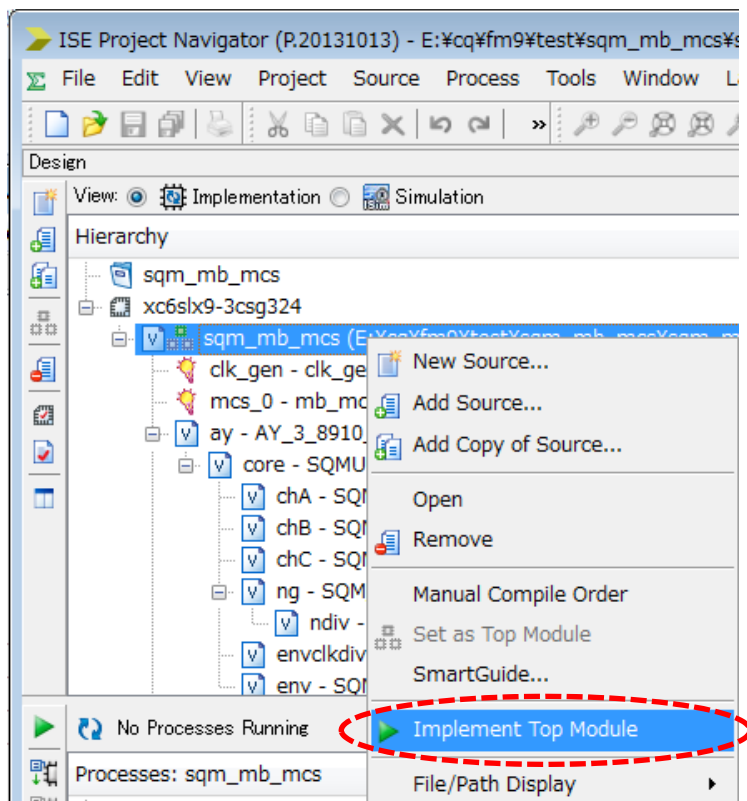
< Back Page 2 of 6 Next > Generate Cancel Help

CLK_OUT1 : 50MHz

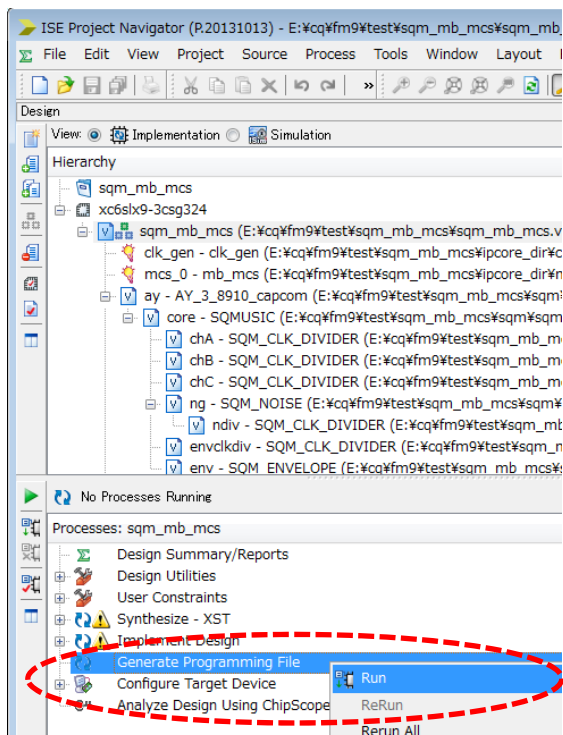
CLK_OUT2 : 3.571MHz

に指定して、Generate をクリック





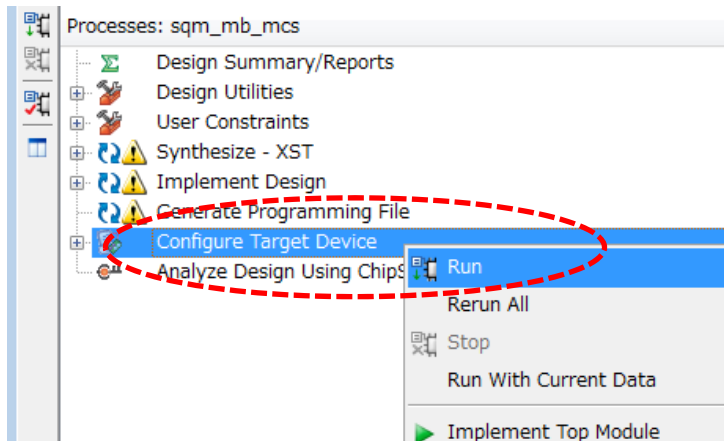
インプリメンテーションの実行、Process→Implement Top Module をクリック



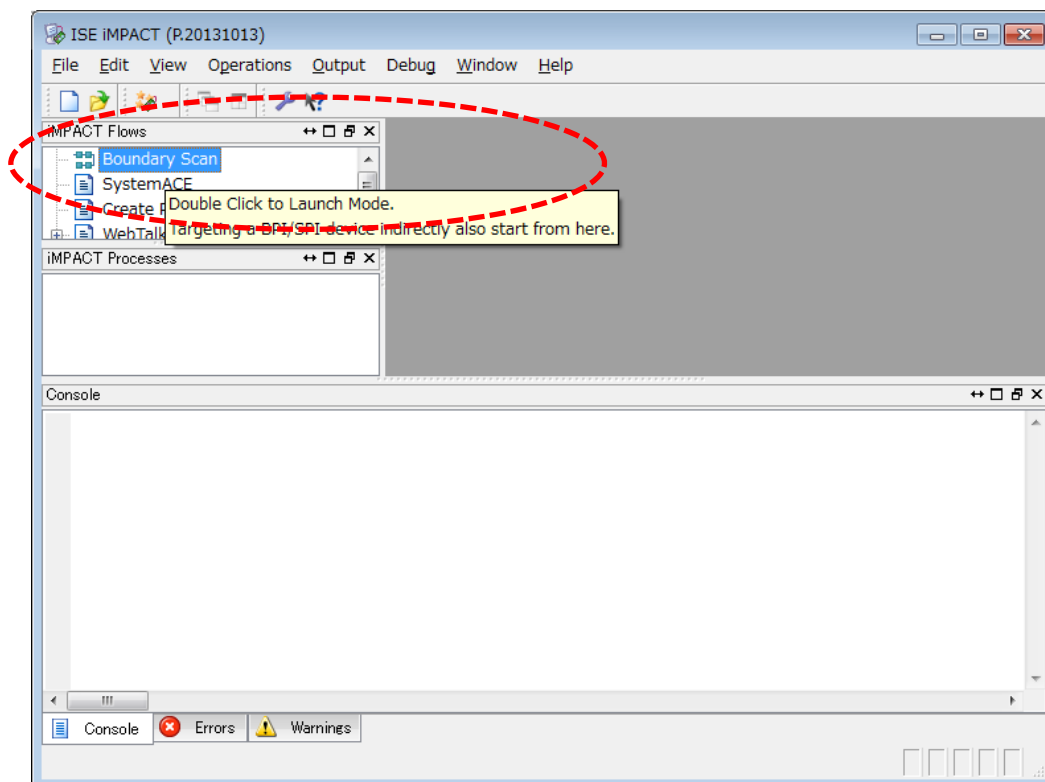
FPGA へ書き込む sqm_mb_mcs.bit 作成



LX9 マイクロボードの USB 端子 (J2) と PC を接続、LX9 マイクロボードとブレッドボード用のローパスフィルタ、アンプ、スピーカを接続 (FPGA マガジン No. 9 を参照)

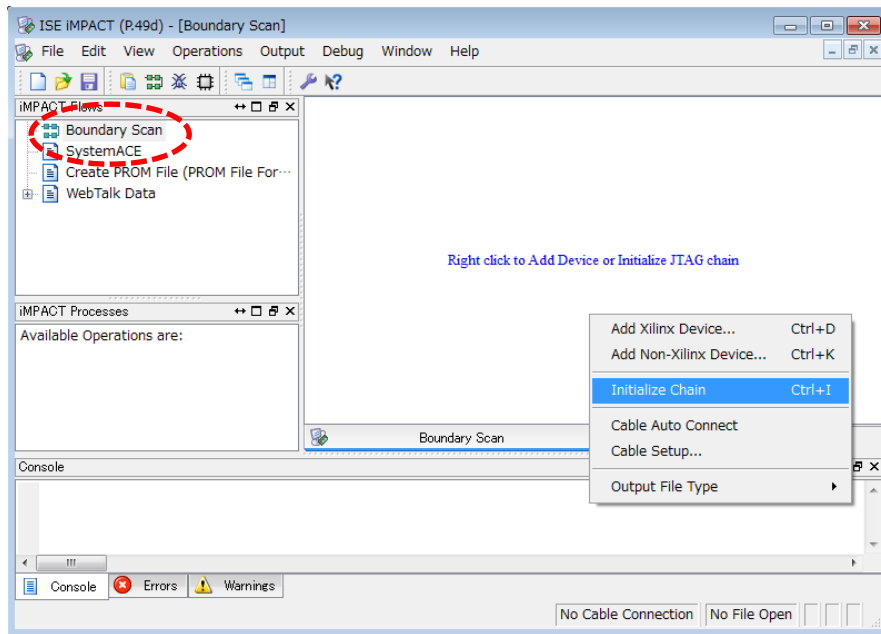


Project Navigator で iMPACT を起動

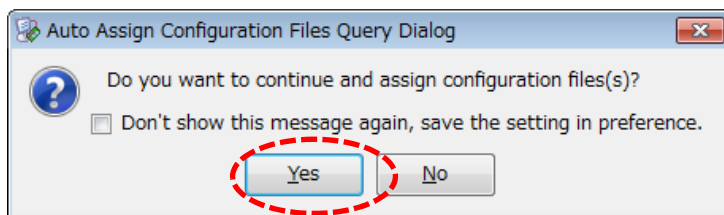


BoundaryScan モードにする

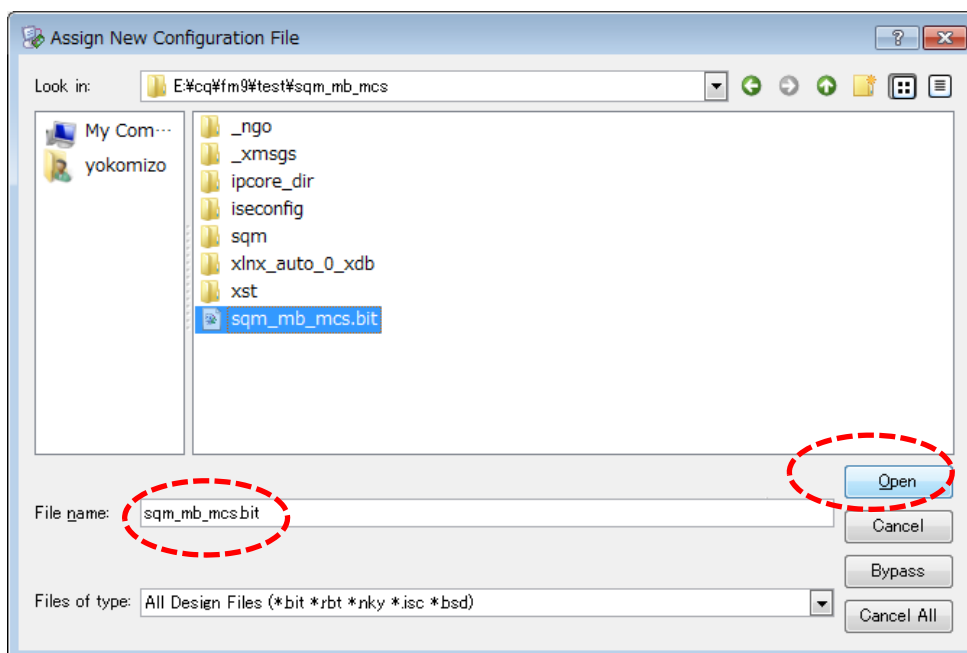




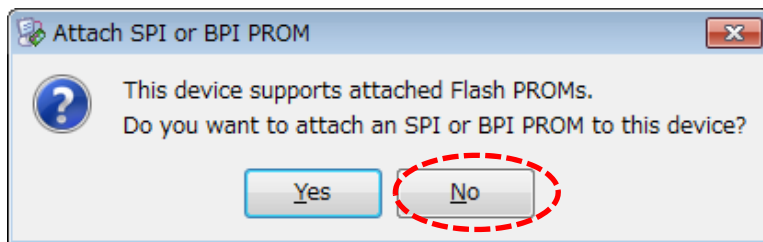
BoundaryScan のウィンドをマウス右ボタン押して、Initialize Chain 選択して FPG を検出する



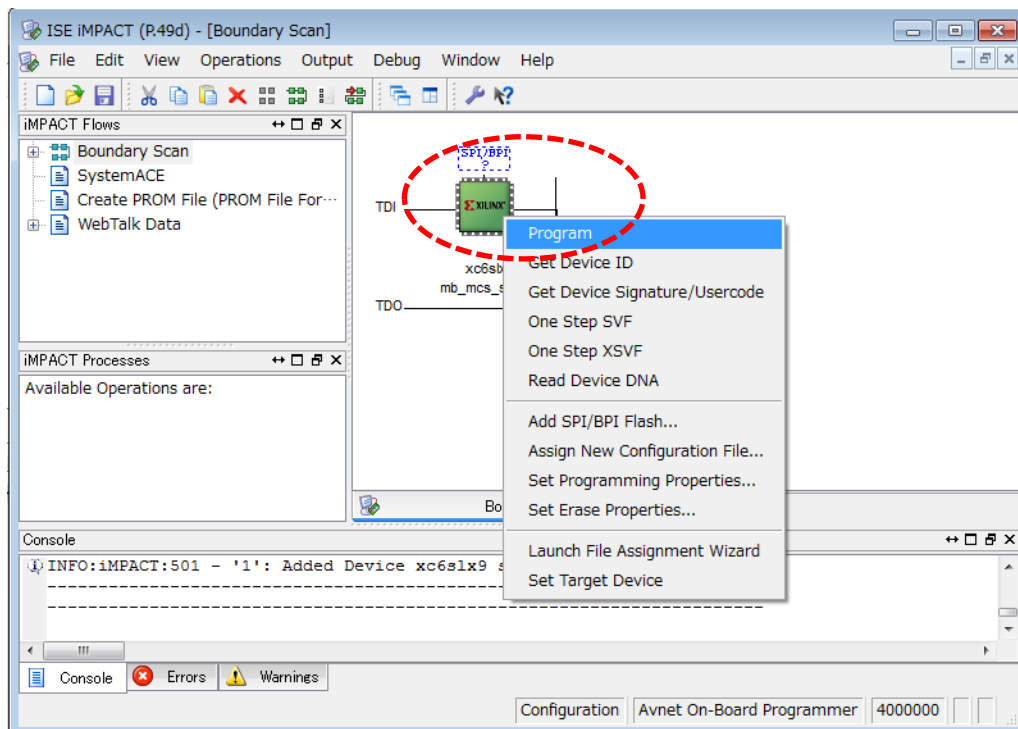
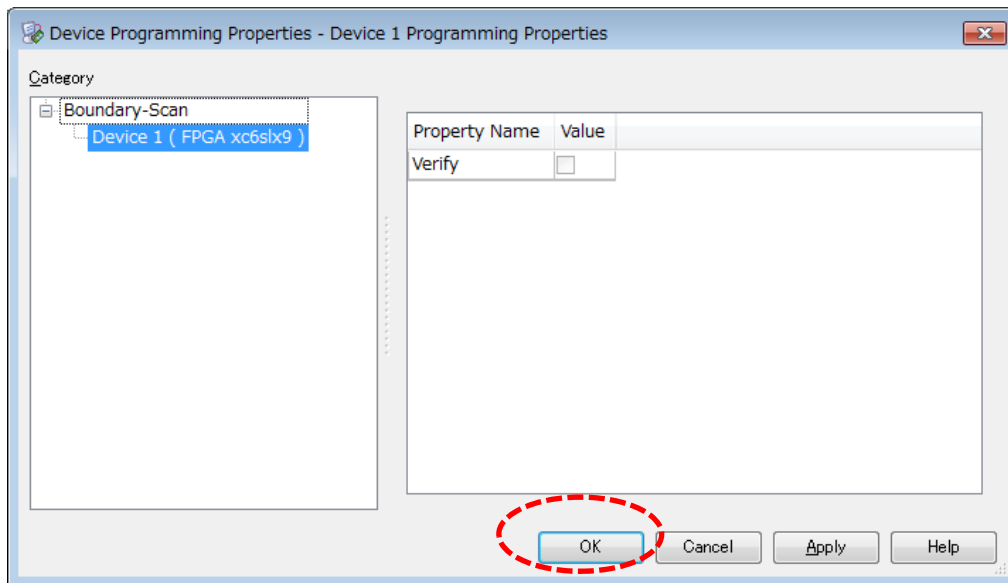
Yes で FPGA に書き込むファイルを指定する



sqm_mb_mcs.bit を指定



PROM データは使わないので No を選択



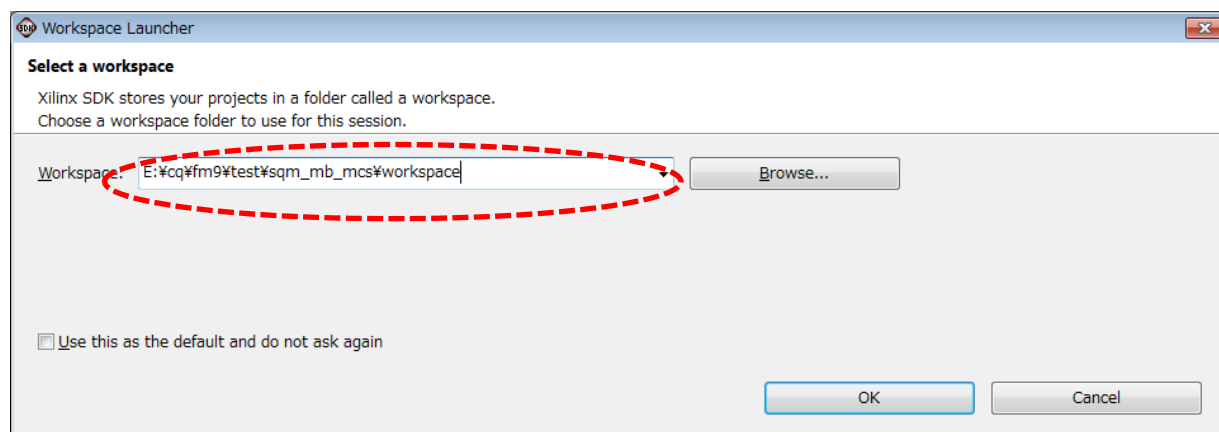
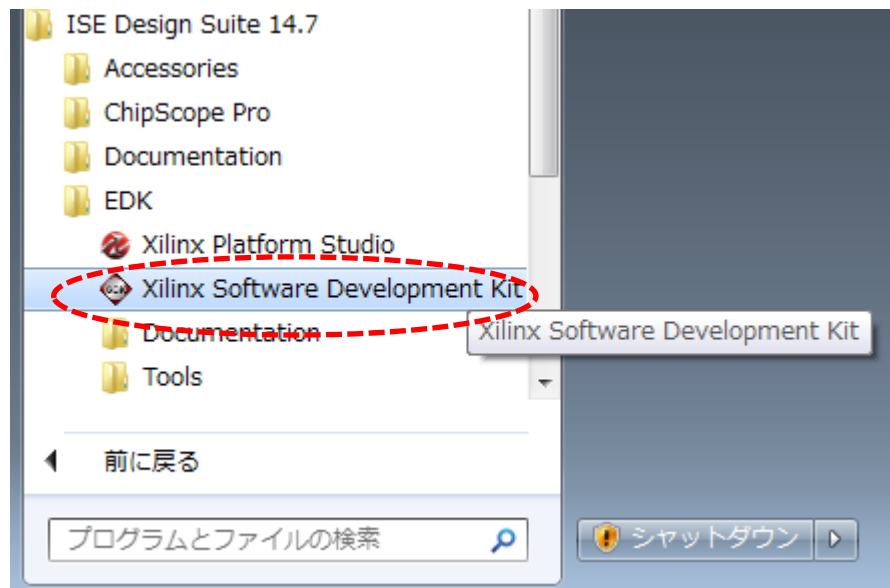
FPGA へのプログラミング実行、デバイス上でマウス右ボタンを押して Program 選択



次に Xilinx Software Development Kit(以降 SDK)でソフトウェアを作ります。

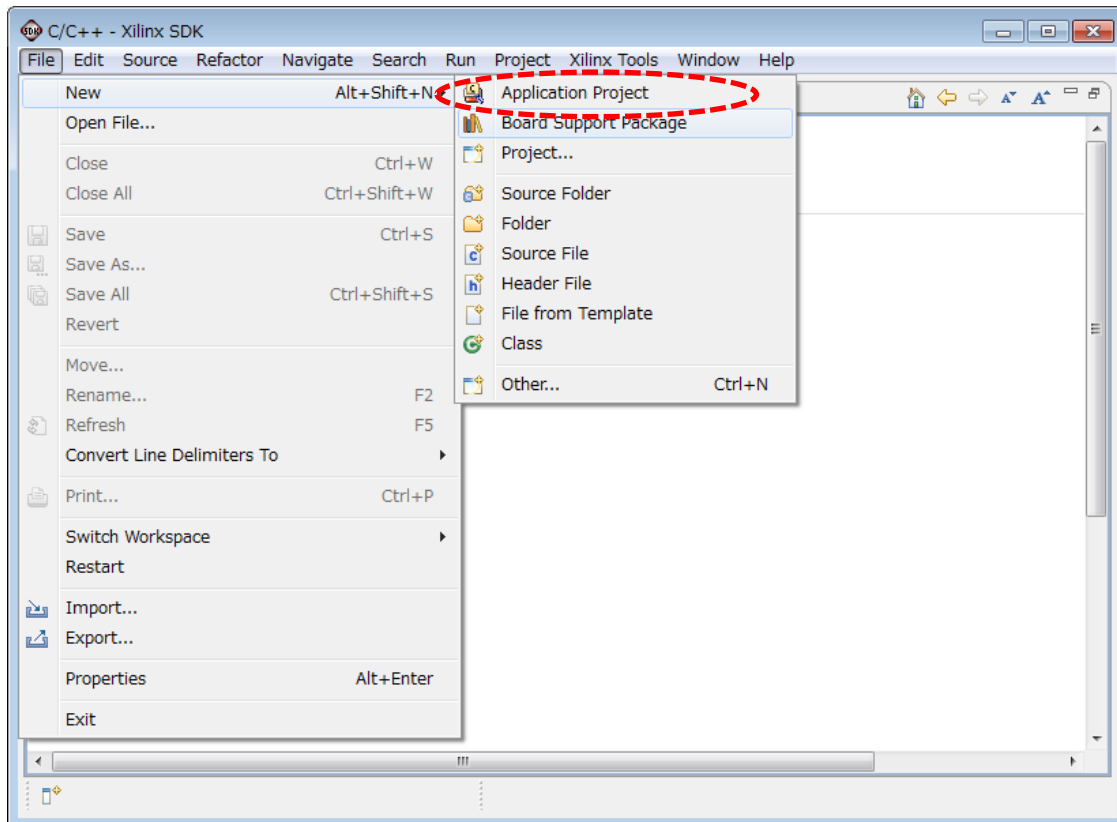
- ・ SDK の起動

スタートメニューから「Xilinx Design Tools」→「ISE Design Suite 14.7」→「EDK」→「Xilinx Software Development Kit 」を起動してください。

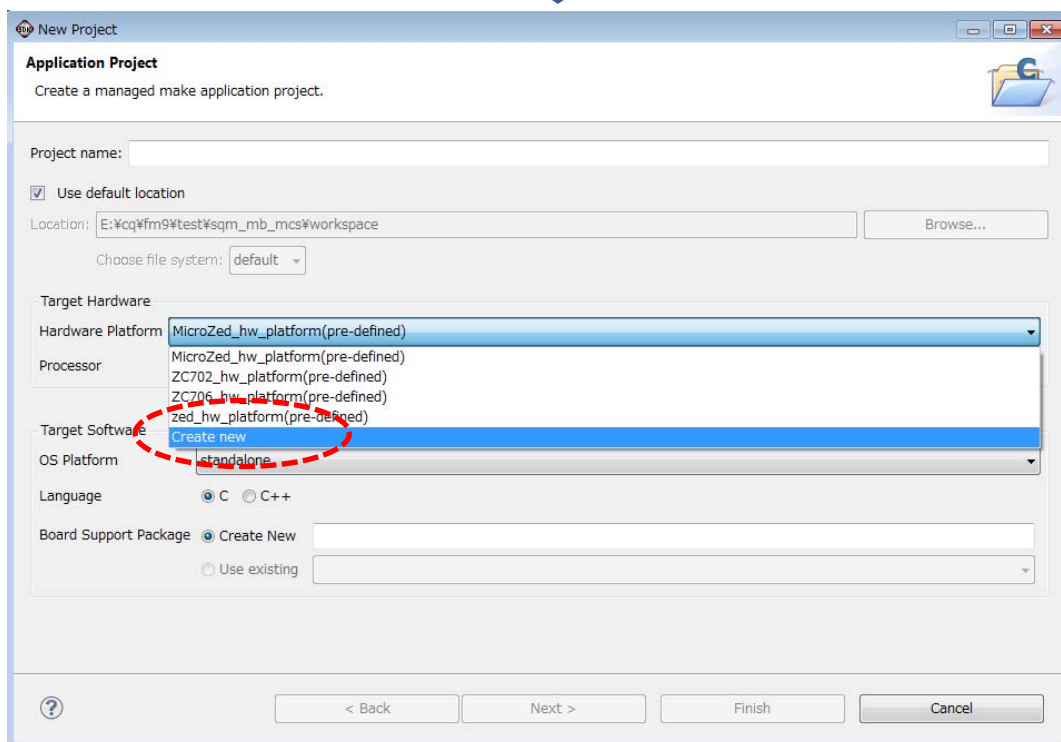


SDK を起動するとワークスペースを指定が要求されます。設計フォルダ/sdk/workspace を設定



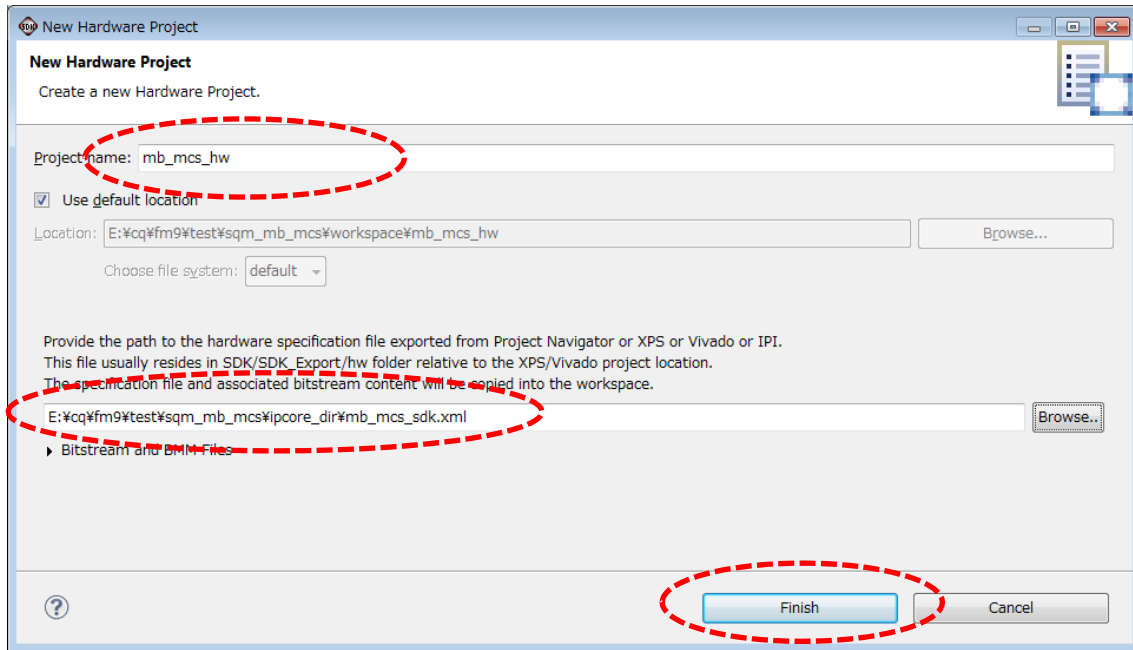


新規のボードサポートパッケージ作成、File→New→Application Project

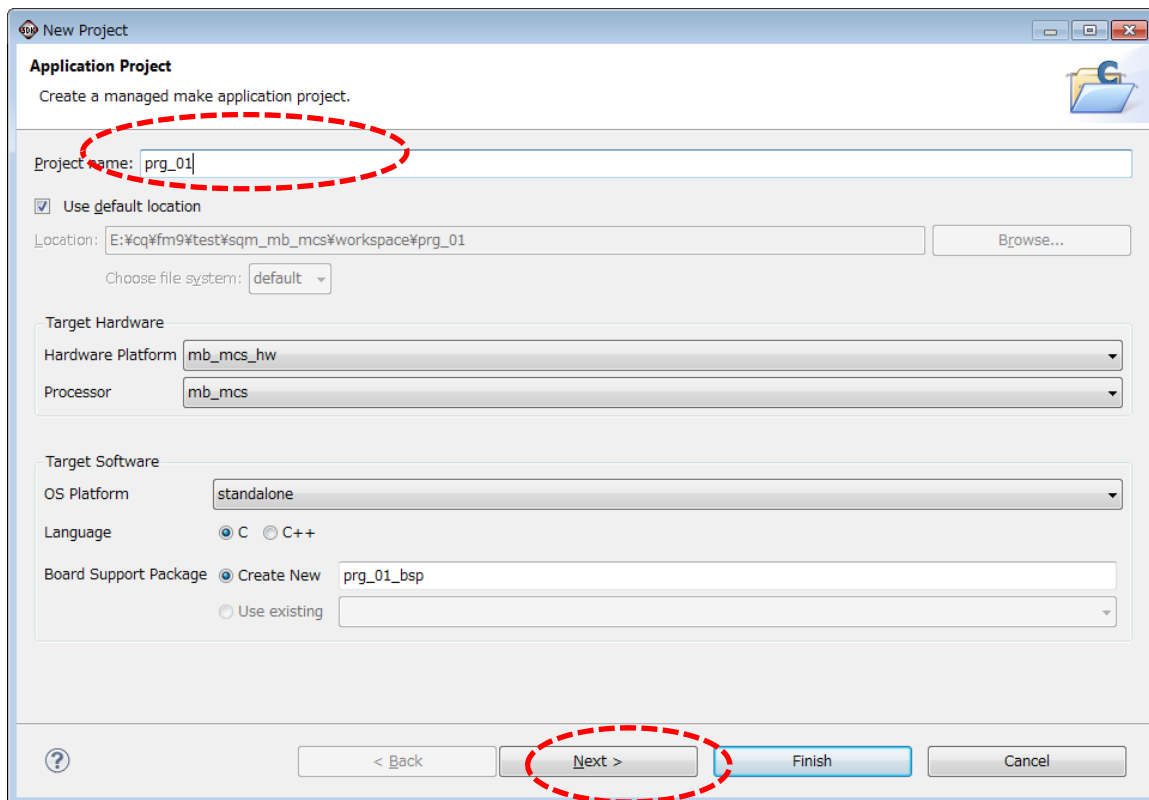


Hardware Platform を Create New を選択して定義する



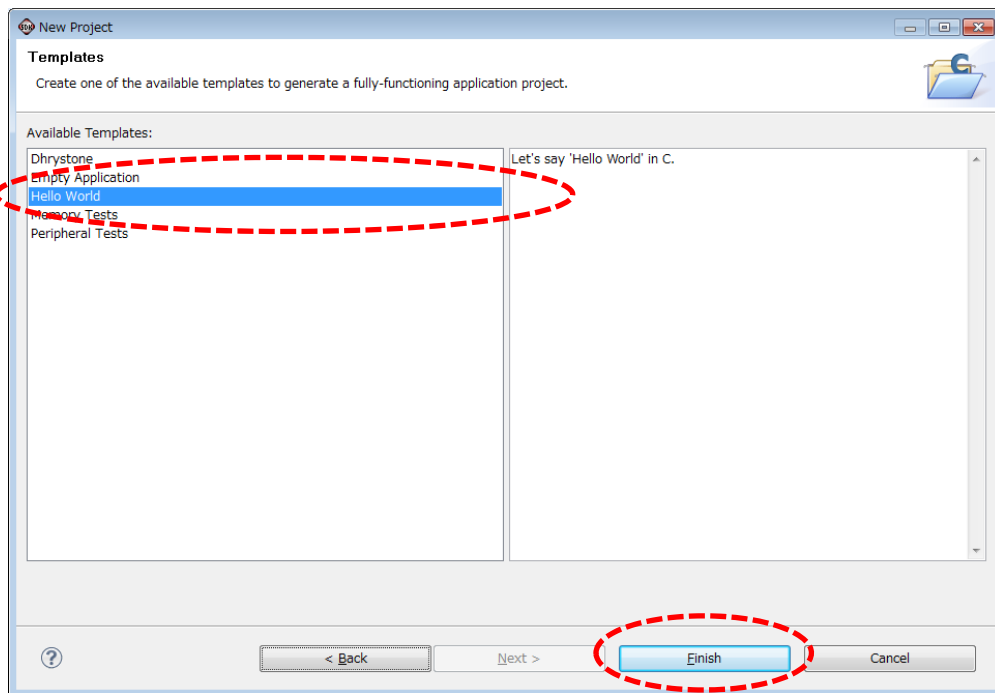


SDK の管理するハードウェアプロジェクト名指定 (mb_mcs_hw)
xml ファイル (設計ファルダ / ipcore_dir / mb_mcs_sdk.xml) 指定
Finish をクリック

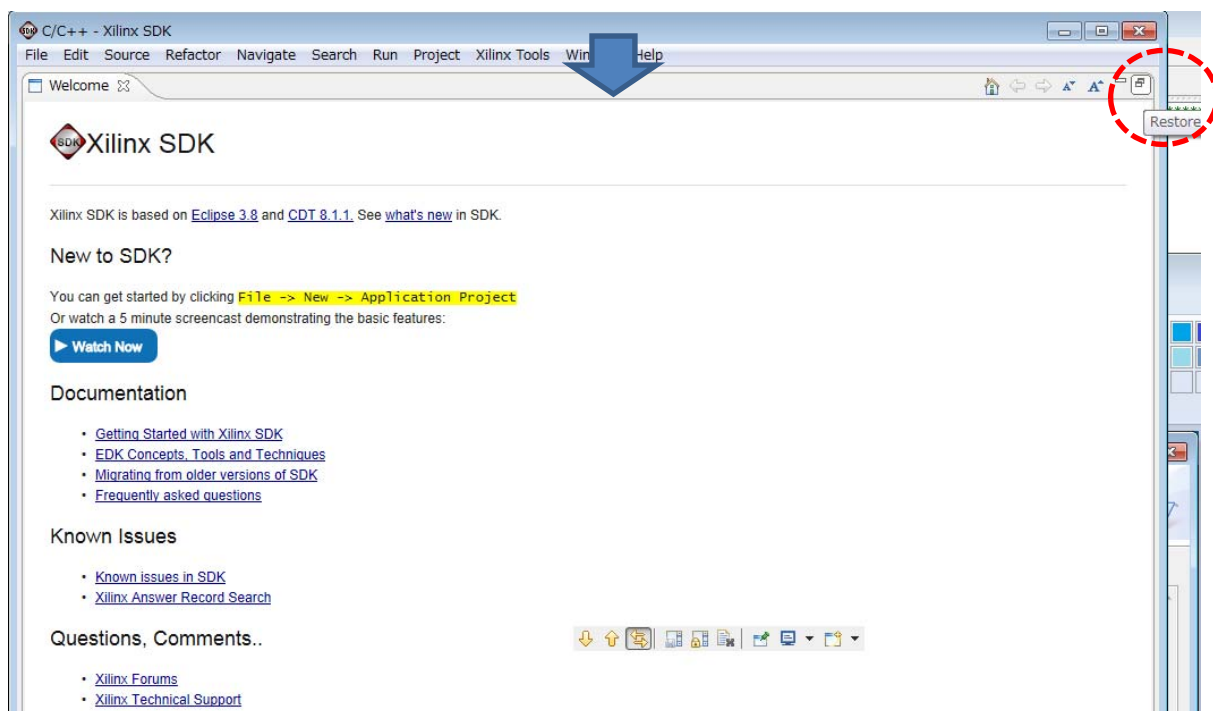


ソフトウェアプロジェクト名指定: prg_01
Next をクリック



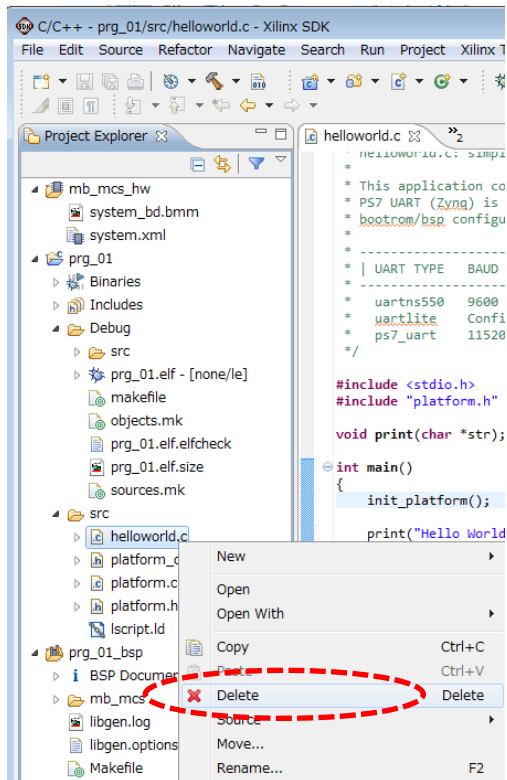


テンプレートに Hello World 選択後、Finish をクリックでソフトウェアプロジェクトが作成される。

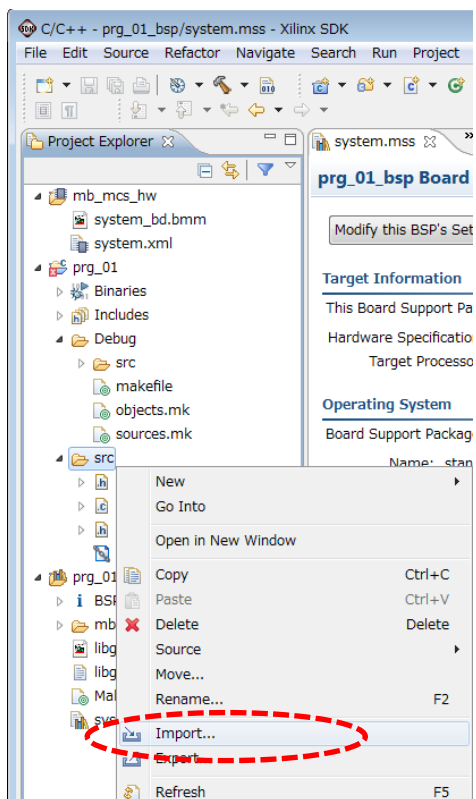


ウィンドの右上の Restore をクリックするとプロジェクトが表示される



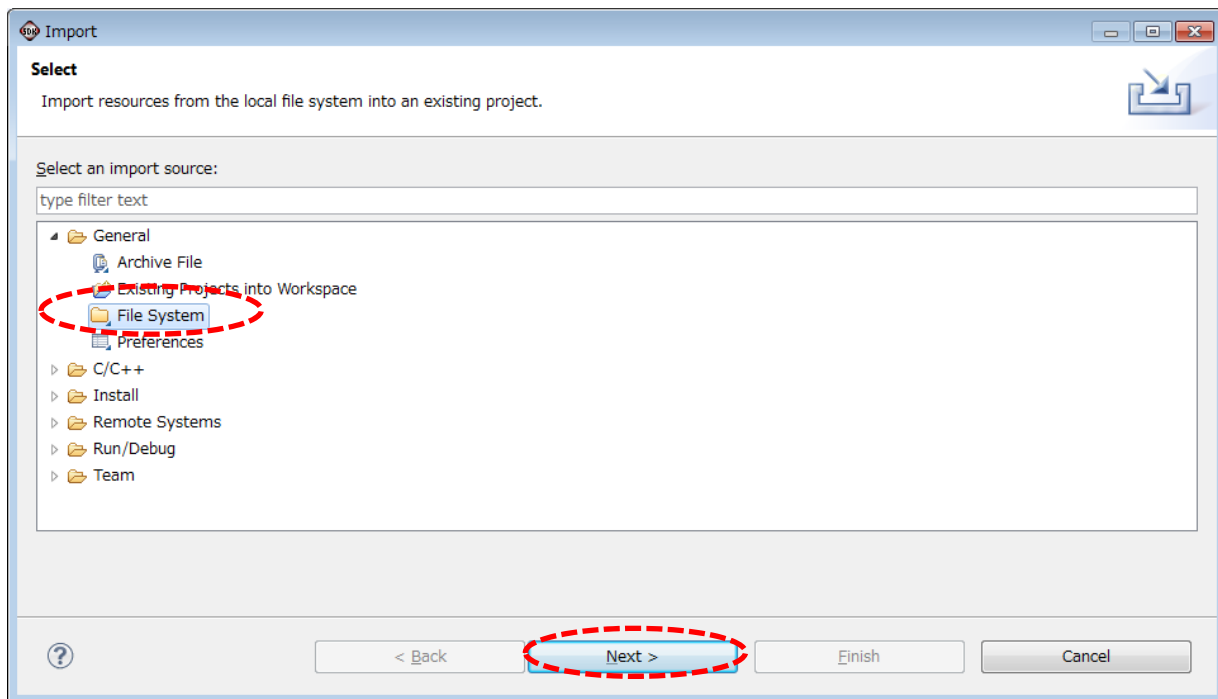


prg_01→src の下にある helloworld.c を削除

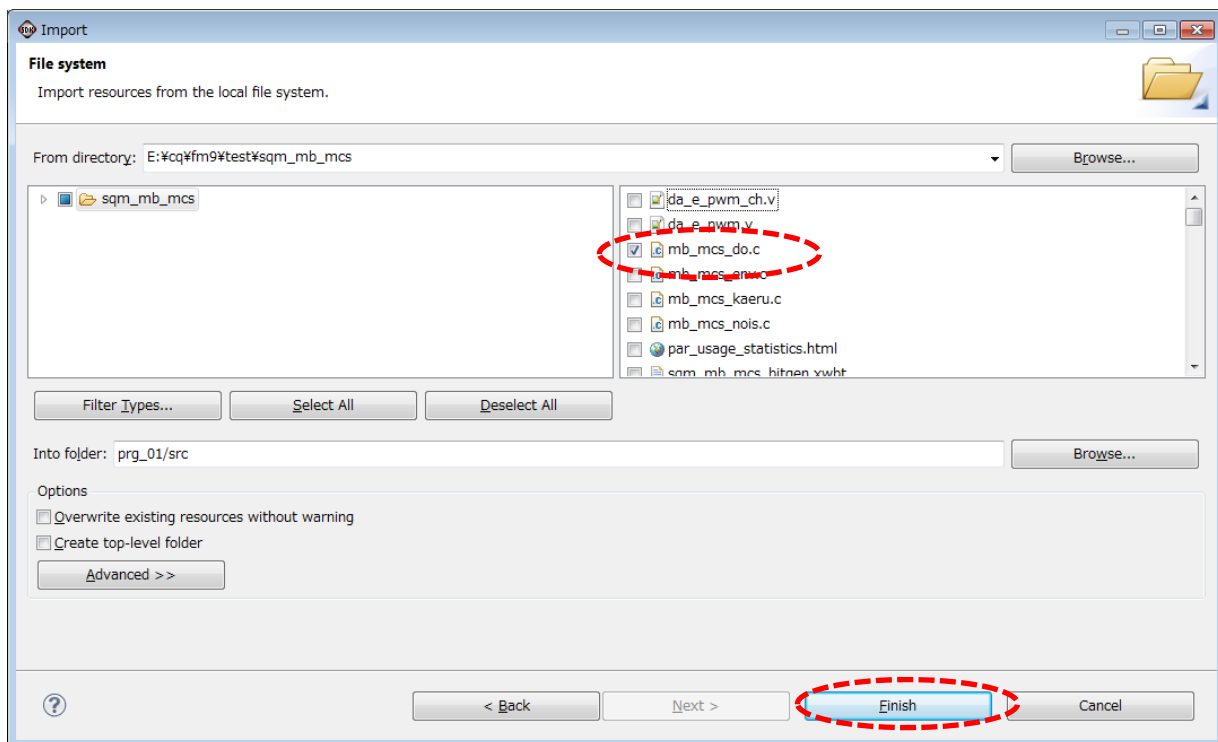


prg_01→src 上でマウス右ボタンを押して Import 選択



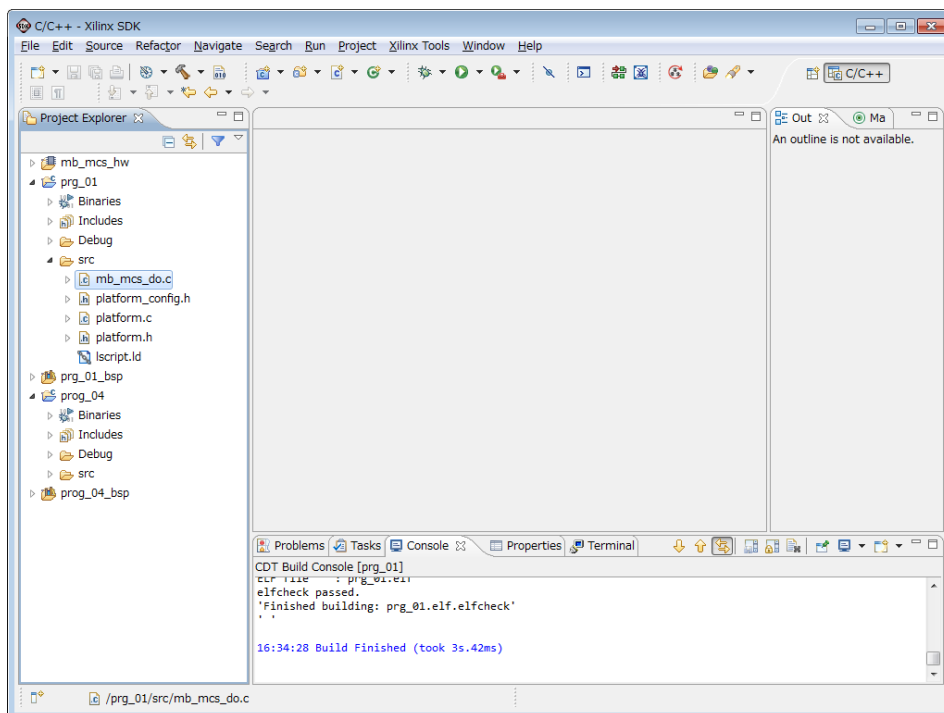


File System を選択して、Next

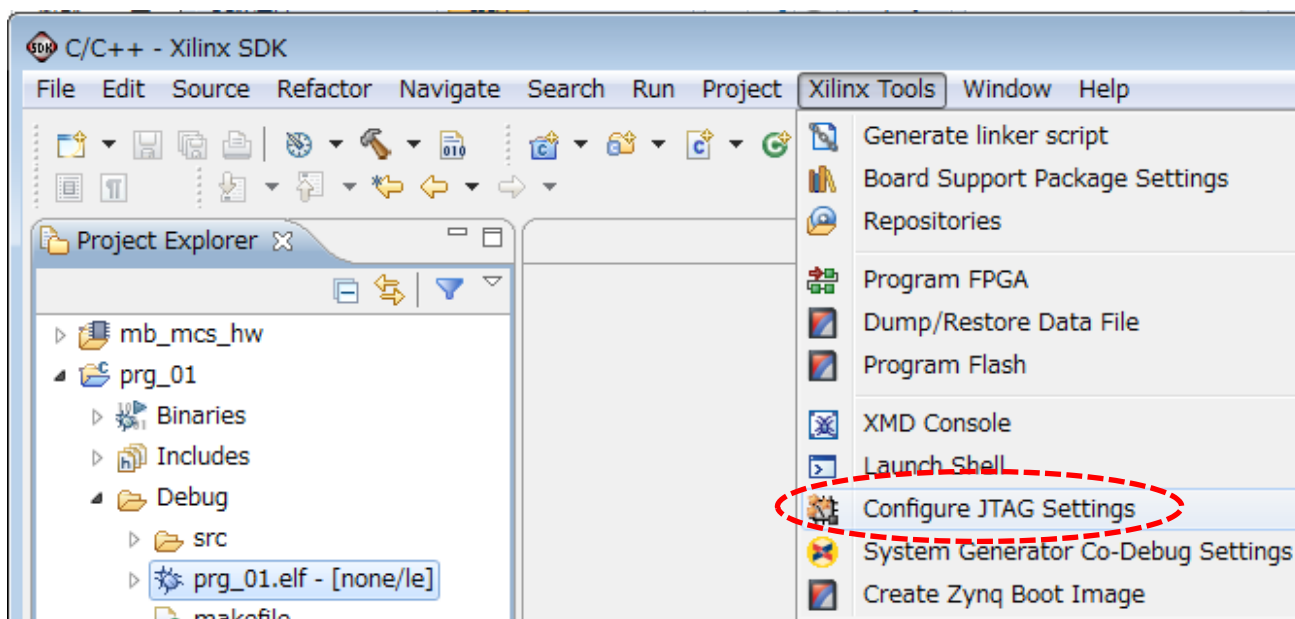


sqm_mb_mcs の下にある mb_mcs_do.c を選択して、Finish



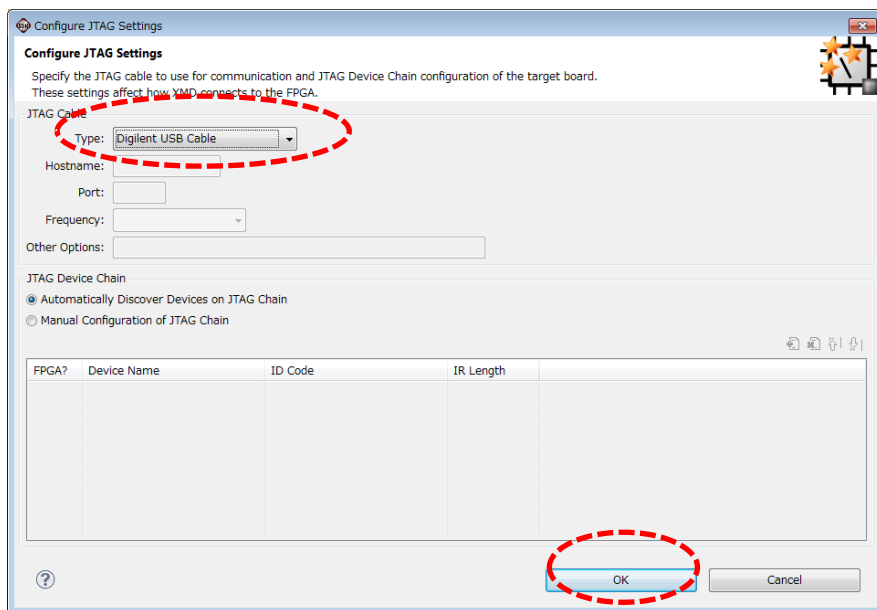


自動でビルドが実行される

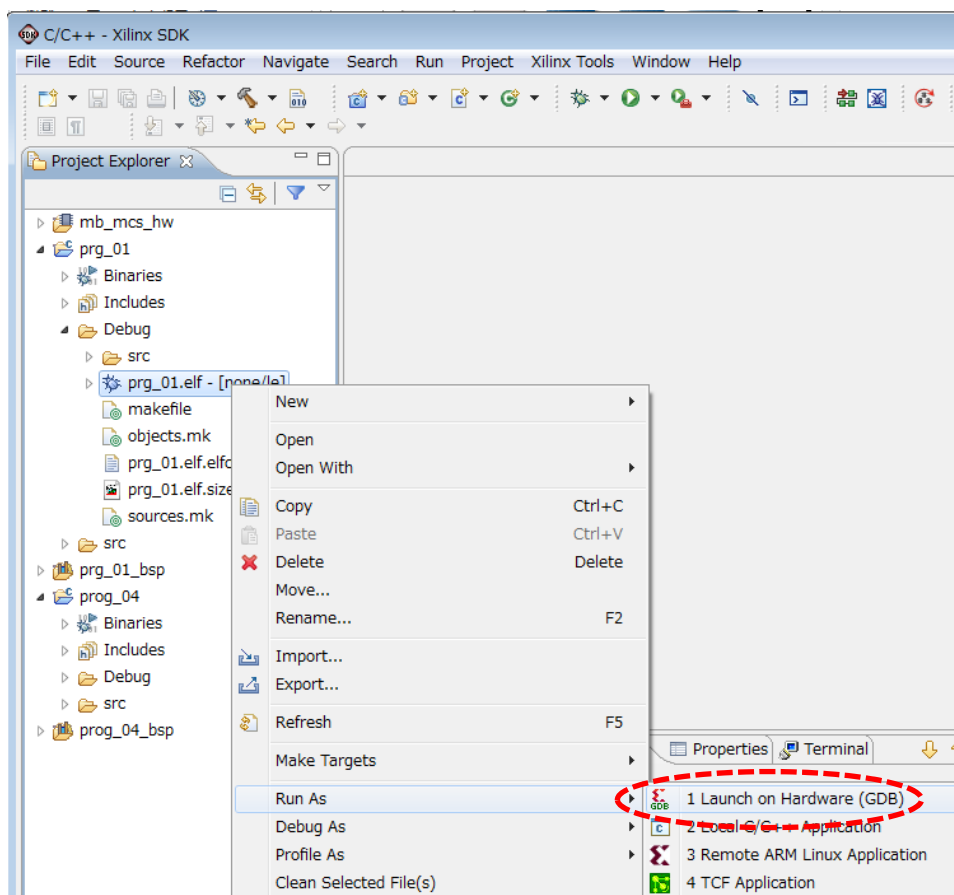


Xilinx Tools→Configure JTAG Setting を選択





Digilent USB ケーブルを選択、OK をクリック



prg_01→Debug→src→prg_01.elf 上でマウス右ボタンを押して

Run As→1Launch on Hardware (GDB) 選択

プログラムが実行されて、音が鳴ります。

以上で動作確認終了です。